

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月25日

出 願 番 号

Application Number:

特願2001-156687

出 願 人

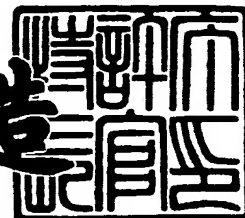
Applicant(s):

富士通株式会社

2001年10月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3093367

【書類名】 特許願

【整理番号】 0100158

【提出日】 平成13年 5月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体集積回路

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 森 郁

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 山田 伸一

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 瀧田 雅人

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100072718

    【弁理士】

    【氏名又は名称】 古谷 史旺

    【電話番号】 3343-2901

【手数料の表示】

    【予納台帳番号】 013354

特 2 0 0 1 - 1 5 6 6 8 7

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 複数の回路ブロックと、

前記回路ブロックの電源端子をそれぞれ電源線に接続する複数のスイッチングトランジスタと、

異なるタイミングで動作する前記回路ブロックの前記電源端子を互いに接続する内部電源線と、

前記内部電源線に接続された前記回路ブロックの少なくともいずれかの動作に対応して、前記内部電源線に接続された前記スイッチングトランジスタを同時にオンさせる電源制御回路とを備えていることを特徴とする半導体集積回路。

【請求項 2】 請求項 1 記載の半導体集積回路において、

前記スイッチングトランジスタの閾値電圧は、前記回路ブロックに含まれるトランジスタの閾値電圧より高いことを特徴とする半導体集積回路。

【請求項 3】 請求項 1 記載の半導体集積回路において、

前記回路ブロックは、複数のトランジスタを含み、

スタンバイ時にオフする前記トランジスタのソース電極は、前記内部電源線および前記スイッチングトランジスタを介して前記電源線に接続されていることを特徴とする半導体集積回路。

【請求項 4】 請求項 1 記載の半導体集積回路において、

前記スイッチングトランジスタおよび前記回路ブロックは、分散して配置されていることを特徴とする半導体集積回路。

【請求項 5】 請求項 4 記載の半導体集積回路において、

前記スイッチングトランジスタおよび前記回路ブロックは、間隔を置いてマトリックス状に配置され、

前記内部電源線は、同時に動作する前記回路ブロックの数が少ない方向に並ぶ該回路ブロックの前記電源端子を互いに接続することを特徴とする半導体集積回路。

【請求項 6】 請求項 4 記載の半導体集積回路において、

間隔を置いてマトリックス状に配置され、ワード線およびビット線に接続されたメモリセルを有する複数のメモリセルアレイと、

前記メモリセルアレイの四隅に隣接する領域にそれぞれ配置された前記スイッチングトランジスタおよび前記各メモリセルアレイをそれぞれ制御するアレイ制御回路を含む前記回路ブロックと、

前記ワード線の配線方向および前記ビット線の配線方向のいずれかに並ぶ前記アレイ制御回路の電源端子を互いに接続する前記内部電源線とを備えていることを特徴とする半導体集積回路。

【請求項 7】 請求項 6 記載の半導体集積回路において、

前記内部電源線により接続されたアレイ制御回路は、前記ビット線に伝達されたデータを入出力するコラム制御回路であることを特徴とする半導体集積回路。

【請求項 8】 請求項 4 記載の半導体集積回路において、

ワード線およびビット線に接続されたメモリセルを有する複数のメモリセルアレイを備え、

前記内部電源線により接続された前記回路ブロックは、読み出し動作時に動作する読み出し制御回路および書き込み動作時に動作する書き込み制御回路であることを特徴とする半導体集積回路。

【請求項 9】 請求項 4 記載の半導体集積回路において、

前記内部電源線により接続された前記回路ブロックの間に、前記回路ブロックと異なるタイミングで動作する別種の回路ブロックがそれぞれ配置され、

前記別種の回路ブロックの電源線は、前記内部電源線に接続されていることを特徴とする半導体集積回路。

【請求項 10】 請求項 9 記載の半導体集積回路において、

ワード線およびビット線に接続されたメモリセルを有する複数のメモリセルアレイを備え、

前記内部電源線により接続された前記回路ブロックは、前記ビット線に伝達されたデータを入出力するコラム制御回路であり、

前記別種の回路ブロックは、前記ワード線を選択するロウ制御回路であることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特にマトリックス状に配置されたメモリセルアレイを有する半導体集積回路に関する。

【0002】

【従来の技術】

近時、トランジスタ構造の微細化によるゲート耐圧の低下および低消費電力化の要求に応えるため、半導体集積回路の電源電圧（動作電圧）は、低くなってきている。トランジスタは、動作電圧から閾値電圧を差し引いた値である実効ゲート電圧が高いほど高速に動作する。しかし、トランジスタの閾値電圧は、電源電圧にほとんど依存しないため、実効ゲート電圧は、電源電圧の低下に伴い低くなる。この結果、トランジスタの動作速度は、電源電圧が低いほど低下してしまう。

【0003】

トランジスタの高速動作を維持するためには、電源電圧の低下に合わせてトランジスタの閾値電圧を下げ、実効ゲート電圧を下げる必要がある。一方、閾値電圧が低くなるに従い、トランジスタのゲート・ソース間電圧を0Vにしても流れるサブスレッショルドリーク電流が増加する。このため、トランジスタの高速動作を維持するために閾値電圧を下げると、半導体集積回路のスタンバイ電流が増加してしまう。

【0004】

特開平5-210976号公報には、トランジスタのソース電極と電源線との間にスイッチングトランジスタを配置し、スタンバイ電流を下げる技術が開示されている。この技術では、スイッチングトランジスタをスタンバイ時にオフすることで、トランジスタの閾値電圧を下げた場合にもスタンバイ電流の増加が防止される。

【0005】

【発明が解決しようとする課題】

しかしながら、スイッチングトランジスタは、半導体集積回路の内部回路が動作するときに、電源線上の負荷として作用するため、スイッチングトランジスタを配置することで回路の動作速度が低下してしまうという問題があった。スイッチングトランジスタのサイズを大きくすることで、回路の動作速度の低下を防止できる。しかしこの場合、スイッチングトランジスタのサブスレッショルドリーク電流が増加するため、スタンバイ電流は増えてしまう。したがって、回路と電源線との間にスイッチングトランジスタを配置した場合、回路の動作速度とスタンバイ電流とをともに満足することは困難であった。

## 【 0 0 0 6 】

特開平 8 - 3 2 1 7 6 3 号公報には、スイッチングトランジスタのゲートに、電源電圧と異なる電圧を与え、内部回路を高速動作させるとともにスタンバイ電流の増加を抑える技術が開示されている。この技術では、内部回路の動作時にスイッチングトランジスタのゲート・ソース間電圧を大きくすることで、内部回路への電流供給能力を高くしている。内部回路のスタンバイ時に、スイッチングトランジスタのゲート・ソース間電圧を負にすることで、カットオフ特性を向上している。

## 【 0 0 0 7 】

しかし、スイッチングトランジスタのゲート・ソース間電圧を電源電圧と異なる電圧に設定するためには、電圧発生回路（高電圧発生回路または負電圧発生回路等）が必要になる。このため、電圧発生回路により消費される電流が余分にかかり、スタンバイ時のカットオフ特性が向上しても、集積回路全体としてスタンバイ電流を低減できないという問題があった。また、スイッチングトランジスタのゲート電圧の振幅が大きくなるため、ゲート容量の充放電電流が増加してしまう。したがって、アクティブ状態とスタンバイ状態とが頻繁に切り替わる場合には、消費電流が増加するという問題があった。

## 【 0 0 0 8 】

本発明の目的は、回路の動作速度を低下させることなくスタンバイ時の消費電流を低減できる半導体集積回路を提供することにある。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

請求項 1 の半導体集積回路は、複数の回路ブロックの電源端子をそれぞれ電源線に接続する複数のスイッチングトランジスタを有している。回路ブロックのうち、異なるタイミングで動作する回路ブロックの電源端子は、内部電源線により互いに接続されている。電源制御回路は、内部電源線に接続された回路ブロックの少なくともいずれかの動作に対応して、内部電源線に接続されたスイッチングトランジスタを同時にオンさせる。このため、ある回路ブロックが動作する際に、その回路ブロックに、並列に配置された複数のスイッチングトランジスタを介して電源電流が供給される。動作する回路ブロックに対するスイッチングトランジスタの総サイズを大きくできるため、回路ブロックの動作時に、回路ブロックに接続される電源の電源抵抗（または接地抵抗）を下げることができ、従来に比べ回路ブロックの動作速度を向上できる。

## 【0010】

複数のスイッチングトランジスタを、同時に動作しない回路ブロックにより共有できるため、スイッチングトランジスタを回路ブロック個別に配置したときに比べ、スイッチングトランジスタのサイズの総和を小さくできる。この結果、回路ブロックの非動作時にスイッチングトランジスタのサブスレッショルド電流の総和が増加することを防止でき、回路ブロックの非動作時の電流（スタンバイ電流）を低減できる。また、スイッチングトランジスタを共有できるため、チップサイズを小さくできる。

## 【0011】

したがって、スタンバイ電流を増加させることなく、高速な半導体集積回路を構成できる。特に、閾値電圧を下げたトランジスタで回路ブロックを構成する半導体集積回路において、動作速度とスタンバイ電流をともに満足できる。

請求項 2 の半導体集積回路では、スイッチングトランジスタの閾値電圧は、回路ブロックに含まれるトランジスタの閾値電圧より高く設定されている。複数のスイッチングトランジスタが並列に接続されているため、スイッチングトランジスタの閾値電圧を高くし、サブスレッショルドリーク電流をさらに削減した場合にも、各スイッチングトランジスタのサイズを少し大きくするだけで、スイッチ



ングトランジスタの駆動能力を、閾値電圧を高くする前と同等にできる。すなわち、チップサイズの増加を最小限に抑えて、サブスレッショルドリーク電流をさらに削減できる。

#### 【 0 0 1 2 】

請求項 3 の半導体集積回路では、回路ブロック内においてスタンバイ時にオフするトランジスタのソース電極は、内部電源線およびスイッチングトランジスタを介して電源線に接続されている。スイッチングトランジスタをスタンバイ電流を下げるために必要なトランジスタのみに接続し、他のトランジスタを電源線に直接接続することで、回路ブロックをより高速に動作できるとともに、スタンバイ時にも回路の論理を確定させることができる。

#### 【 0 0 1 3 】

請求項 4 の半導体集積回路では、スイッチングトランジスタおよび回路ブロックは、分散して配置されている。例えば、素子が形成されていない空き領域を利用してこれ等回路を配置することで、チップサイズを増加させることなく、動作速度とスタンバイ電流をともに満足できる半導体集積回路を構成できる。

請求項 5 の半導体集積回路では、スイッチングトランジスタおよび回路ブロックは、間隔を置いてマトリックス状に配置されている。内部電源線は、同時に動作する回路ブロックの数が少ない方向に並ぶ回路ブロックの電源端子を互いに接続する。このため、動作する回路ブロックに対するスイッチングトランジスタの数を多くでき、回路ブロック当たりの電流供給能力を高くできる。この結果、回路ブロックを高速に動作できる。

#### 【 0 0 1 4 】

請求項 6 の半導体集積回路では、複数のメモリセルアレイが、間隔を置いてマトリックス状に配置されている。メモリセルアレイは、ワード線およびビット線に接続されたメモリセルを有している。例えば、半導体集積回路は、半導体メモリあるいは半導体メモリを含むシステム LSI として構成される。メモリセルアレイの四隅に隣接する領域には、スイッチングトランジスタおよび回路ブロックが配置されている。回路ブロック内には、メモリセルアレイをそれぞれ制御するアレイ制御回路が形成されている。内部電源線は、ワード線の配線方向またはビッ

ト線の配線方向に並ぶアレイ制御回路の電源端子を互いに接続している。一般に、半導体メモリにデータを読み書きするとき、一部のアレイ制御回路が動作し、アドレス信号に応じた所定のメモリセルアレイのみが選択される。このとき、他のアレイ制御回路および他のメモリセルアレイは動作しない。このため、異なるタイミングで動作する（すなわち同時に動作しない）アレイ制御回路を内部電源線で互いに接続することで、動作するアレイ制御回路に対するスイッチングトランジスタの数を多くでき、アレイ制御回路当たりの電流供給能力を高くできる。この結果、アレイ制御回路を高速に動作でき、半導体メモリのアクセス時間を短縮できる。

## 【 0 0 1 5 】

請求項 7 の半導体集積回路では、ビット線に伝達されたデータを入出力するコラム制御回路（アレイ制御回路）が、内部電源線により接続されている。互いに異なるタイミングで動作するコラム制御回路を内部電源線により互いに接続することで、動作するコラム制御回路に対するスイッチングトランジスタの数を多くでき、コラム制御回路当たりの電流供給能力を高くできる。この結果、コラム制御回路を高速に動作でき、半導体メモリのコラム動作時間を短縮できる。

## 【 0 0 1 6 】

請求項 8 の半導体集積回路では、読み出し動作時に動作する読み出し制御回路および書き込み動作時に動作する書き込み制御回路が、内部電源線により接続されている。読み出し動作および書き込み動作は同時に発生することはない。すなわち、読み出し制御回路および書き込み制御回路は、常に互いに異なるタイミングで動作する。動作する読み出し制御回路および書き込み制御回路に対するスイッチングトランジスタの数を多くできるため、読み出し制御回路および書き込み制御回路を高速に動作できる。この結果、半導体メモリの読み出し動作時間および書き込み動作時間を短縮できる。

## 【 0 0 1 7 】

請求項 9 の半導体集積回路では、内部電源線により接続された回路ブロックの間に、回路ブロックと異なるタイミングで動作する別種の回路ブロックがそれぞれ配置されている。別種の回路ブロックの電源線は、内部電源線に接続されてい

る。互いに異なるタイミングで動作する回路ブロックを内部電源線により互いに接続することで、動作する回路ブロックに対するスイッチングトランジスタの数を多くでき、回路ブロック当たりの電流供給能力を高くできる。この結果、回路ブロックを高速に動作できる。

## 【 0 0 1 8 】

請求項 1 0 の半導体集積回路は、ワード線およびビット線に接続されたメモリセルを有する複数のメモリセルアレイを有している。例えば、半導体集積回路は、半導体メモリあるいは半導体メモリを含むシステムLSIとして構成されている。ビット線に伝達されたデータを入出力するコラム制御回路（回路ブロック）およびワード線を選択するロウ制御回路（別種の回路ブロック）が、内部電源線により互いに接続されている。一般に、半導体メモリにデータを読み書きするとき、まずロウ制御回路が動作し、その後コラム制御回路が動作する。すなわち、ロウ制御回路およびコラム制御回路は、互いに異なるタイミングで動作する。このため、動作するロウ制御回路またはコラム制御回路に対するスイッチングトランジスタの数を多くできる。したがって、ロウ制御回路およびはコラム制御回路を高速に動作でき、半導体メモリのアクセス時間を短縮できる。

## 【 0 0 1 9 】

## 【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図 1 は、本発明の半導体集積回路の第 1 の実施形態を示している。この実施形態は、請求項 1 ～請求項 7 に対応している。図中の太い信号線は、複数本で構成されていることを示している。この半導体集積回路は、シリコン基板上にCMOSプロセスを使用してSDRAMとして形成されている。

SDRAMは、入出力回路 1 0、制御回路 1 2、およびメモリコア 1 4 を有している。入出力回路 1 0 は、チップの外部からクロック信号CLK、コマンド信号CMD、アドレス信号ADDを受け、内部クロック信号ICLK、内部コマンド信号ICMD、内部アドレス信号IADDを出力している。入出力回路 1 0 は、データ信号DQをチップの外部に入出力し、内部データ信号IDQを制御回路 1 2 に入出力している。

## 【 0 0 2 0 】

制御回路 1 2 は、内部クロック信号 ICLK、内部コマンド信号 ICMD、内部アドレス信号 IADD に応じて、メモリア 1 4 を動作させるための制御信号を出力する。制御回路 1 2 は、読み出し動作時にメモリア 1 4 から出力されるデータ DATA（読み出しデータ）を内部データ信号 IDQ として入出力回路 1 0 に出力し、書き込み動作時に入出力回路 1 0 からの内部データ信号 IDQ（書き込みデータ）をデータ信号 DATA としてメモリア 1 4 に出力する。

## 【 0 0 2 1 】

図 2 は、図 1 のメモリア 1 4 の詳細を示している。メモリア 1 4 は、間隔を置いてマトリックス状に配置された複数のメモリセルアレイ MA を有している。メモリセルアレイ MA は、ワード線 WL および相補のビット線 BL、/BL に接続されたメモリセル MC を有している。以下、ワード線 WL の配線方向を行方向（図の縦方向）と称し、ビット線 BL、/BL の配線方向を列方向（図の横方向）と称する。

## 【 0 0 2 2 】

メモリセルアレイ MA の四辺に隣接する領域のうち、行方向に並ぶ領域には、ワードデコーダ列 WD が配置されている。ワードデコーダ列 WD の各ワードデコーダは、アドレス信号 ADD（ロウアドレス信号）をデコードし、所定のワード線 WL を選択する。メモリセルアレイ MA の四辺に隣接する領域のうち、列方向に並ぶ領域には、センスアンプ列 SA が配置されている。センスアンプ列 SA の各センスアンプは、ビット線 BL、/BL に接続されており、ビット線 BL、/BL 上に伝達されたデータの信号量を増幅する。以降、行方向に並ぶメモリセルアレイ MA およびワードデコーダ列 WD からなる領域を図の右からブロック 0、1、2 と称し、行方向に並ぶセンスアンプ列 SA を含む領域を図の右から領域 A、B、C、D と称する。

## 【 0 0 2 3 】

この実施形態では、読み出し動作および書き込み動作時に、行方向に並ぶワードドライバ WD、メモリセルアレイ MA およびセンスアンプ列 SA は、同時に活性化される。例えば、ブロック 1 のメモリセルアレイ MA が活性化されるとき、このブロック 1 のワードデコーダ列 WD が活性化され、ブロック 1 の両側に位置する領域 B、C のセンスアンプ列 SA が活性化される。このとき、ブロック 0 のメモリセルアレイ MA と領域 B のセンスアンプ列 SA、ブロック 2 のメモリセルアレイ MA と領域 C

のセンスアンプ列SAとは分離される。換言すれば、この実施形態では、センスアンプ列SAが両側のメモリセルアレイMAで共用されるシェアード方式のセンスアンプ構造を有している。また、特に図示していないが、領域A、Dのセンスアンプ列SAの外側には、コラムデコーダ、リードバッファ、ライトアンプ等のコラムアドレスに対応して動作する制御回路が配置されている。

## 【 0 0 2 4 】

メモリセルアレイMAの四隅に隣接する領域（列方向に並ぶワードデコーダ列WDの間および行方向に並ぶセンスアンプ列SAの間）には、回路群GRが配置されている。回路群GRは、回路ブロック16、pMOSトランジスタ18（以下、pMOS18と称する）、およびnMOSトランジスタ20（以下、nMOS20と称する）を有している。すなわち、回路ブロック16、pMOS18、およびnMOS20は、メモリコア14内に分散して配置されており、間隔を置いてマトリックス状に配置されている。

## 【 0 0 2 5 】

pMOS18は、ソース電極（以下、単にソースと称する）を電源線VIIに接続し、ドレイン電極（以下、単にドレインと称する）を回路ブロック16の電源端子（不図示）に接続し、ゲート電極（以下、単にゲートと称する）でイネーブル信号ENXを受けている。nMOS20は、ソースを電源線である接地線VSSに接続し、ドレインを回路ブロック16の電源端子（不図示）に接続し、ゲートでイネーブル信号ENZを受けている。pMOS18およびnMOS20は、電源線VIIおよび接地線VSSを回路ブロック16に接続するスイッチングトランジスタとして動作する。なお、末尾に“X”が付く信号は、負論理を表し、末尾に“Z”が付く信号は、正論理を表している。

## 【 0 0 2 6 】

イネーブル信号ENXは、メモリコア14の動作時（アクティブ時）に低レベルになり、メモリコア14の非動作時（スタンバイ時）に高レベルになる。イネーブル信号ENZは、メモリコア14の動作時に高レベルになり、メモリコア14の非動作時に低レベルになる。イネーブル信号ENX、ENZは、例えば、図1に示した制御回路12内に形成された電源制御回路（不図示）により生成される。電源制

御回路は、内部電源線VIIZ、VSSX（後述）に接続された回路ブロック16の少なくともいずれかの動作に対応して、内部電源線VIIZ、VSSXに接続された複数のpMOS18およびnMOS20を同時にオンさせる機能を有している。なお、回路ブロック16は、図に示すように、直接電源線VIIおよび接地線VSSにも接続されている。

#### 【0027】

ワードデコーダ列WDを挟んで列方向に並ぶ回路群GRにおけるpMOS18、nMOS20のドレインは、それぞれ内部電源線VIIZ、VSSX（VII0Z、VII1Z、...、VII<sub>n</sub>Z、VSS0X、VSS1X、...、VSS<sub>n</sub>X）を介して互いに接続されている。すなわち、列方向に並ぶpMOS18およびnMOS20は、異なるタイミングで動作する回路ブロック16により共有されている。回路ブロック16内の回路と電源線VII（またはVSS）とが、並列配置された複数のpMOS18（又はnMOS20）を介して接続されるため、動作する回路に対するpMOS18（又はnMOS20）のトータルの駆動能力は大きくなる。駆動能力は、例えば、各トランジスタのゲート幅W／ゲート長Lの総和で表わされる。

#### 【0028】

この実施形態では、上述したように、ワードデコーダ列WDおよびセンスアンプ列SA等の制御回路は、行方向に並ぶブロック単位および領域単位で動作する。同様に、行方向に並ぶ回路ブロック16は、同時に動作し、列方向に並ぶ回路ブロック16は、二つずつ動作する。換言すれば、列方向に並ぶ回路ブロック16の複数は、異なるタイミングで動作する。内部電源線VIIZ、VSSXは、同時に動作する回路ブロック16の数が少ない方向に並ぶ回路ブロック16内の回路を互いに接続している。

#### 【0029】

図3は、回路ブロック16内に配置されるWCL駆動回路22およびRCL駆動回路24の例を示している。WCL駆動回路22およびRCL駆動回路24は、コラムアドレス信号に対応してビット線BL、/BLに伝達されるデータの入出力を制御するコラム制御回路（メモリセルアレイMAを制御するアレイ制御回路）である。なお、回路ブロック16には、これ等回路の他にセンスアンプ列SAを制御するセンスア

ンプ駆動回路（コラム系の制御回路）等も配置されている。

#### 【 0 0 3 0 】

WCL駆動回路 2 2 は、pMOSのソース（電源端子）を内部電源線VIIIZに接続し、nMOSのソースを接地線VSSに接続したCMOSインバータで構成されている。WCL駆動回路 2 2 は、メイン書き込みコラム線信号MWCLを受け、受けた信号を反転してサブ書き込みコラム線信号SWCLとして出力している。メイン書き込みコラム線信号MWCLは、スタンバイ時に高レベルに保持される。このとき、pMOSはオフする。すなわち、WCL駆動回路 2 2 において、スタンバイ時にオフするpMOSのソースが、図 2 の横方向に並ぶ複数のpMOS 1 8 を介して電源線VIIに接続されている。

#### 【 0 0 3 1 】

RCL駆動回路 2 4 は、pMOSのソースを電源線VIIに接続し、nMOSのソース（電源端子）を内部電源線VSSXに接続したCMOSインバータで構成されている。RCL駆動回路 2 4 は、メイン読み出しコラム線信号MRCLを受け、受けた信号を反転してサブ読み出しコラム線信号SRCLとして出力している。メイン読み出しコラム線信号MRCLは、スタンバイ時に低レベルに保持される。このとき、nMOSはオフする。すなわち、RCL駆動回路 2 4 において、スタンバイ時にオフするnMOSのソースが、図 2 の横方向に並ぶnMOS 2 0 を介して接地線VSS（電源線）に接続されている。

#### 【 0 0 3 2 】

図 2 に示したように、内部電源線VIIIZ、VSSXは、ビット線BL、/BLの配線方向（列方向）に配線されている。すなわち、内部電源線VIIIZ、VSSXは、ビット線BL、/BLの配線方向（列方向）に並ぶWCL駆動回路 2 2 およびRCL駆動回路 2 4 の電源端子を互いに接続している。

この実施形態では、電源電圧VIIは、1.2Vに設定され、WCL駆動回路 2 2 およびRCL駆動回路 2 4 のpMOS、nMOSの閾値電圧（絶対値）は、高速動作を維持するために例えば0.25Vと低く設定されている。スイッチングトランジスタであるpMOS 1 8 およびnMOS 2 0 の閾値電圧（絶対値）は、オフ時のサブスレッショルドリーク電流を低減するために例えば0.45Vに設定されている。並列に接続されたトランジスタ 1 8、2 0 が回路ブロック 1 6 で共有されるため、トランジスタ 1 8、2 0 の閾値電圧を高くした場合にも、各トランジスタ 1 8、2 0 のサイズを少し

大きくするだけで、トランジスタ 1 8、2 0 の駆動能力の低下が防止される。同時に、回路ブロック 1 6 内の回路の閾値電圧を下げた場合にも、pMOS 1 8 および nMOS 2 0 により、スタンバイ時にこれ等回路に流れるサブスレッショルドリーク電流をより低減できる。

#### 【 0 0 3 3 】

また、WCL 駆動回路 2 2 が、並列配置された複数の pMOS 1 8 を介して電源線 VII に接続されるため、WCL 駆動回路 2 2 の電源抵抗が、pMOS 1 8 により上昇することが防止され、回路の動作速度が低下することが抑制される。同様に、RCL 駆動回路 2 4 が、並列配置された複数の nMOS 2 0 を介して接地線 VSS に接続されるため、RCL 駆動回路 2 4 の接地抵抗が、nMOS 2 0 により上昇することが防止され、回路の動作速度が低下することが抑制される。pMOS 1 8 および nMOS 2 0 は、図 2 に示したようにメモリコア 1 4 内に分散配置されているため、これ等トランジスタのドレインを接続する内部電源線 VIIIZ、VSSX の抵抗は、できる限り低くしておくことが好ましい。

#### 【 0 0 3 4 】

図 4 は、図 2 に示したブロック 1 のメモリセルアレイ MA に対する書き込み動作の例を示している。まず、外部からアクティブコマンドを示すコマンド信号 CMD が入力されると、図 1 に示した制御回路 1 2 は、イネーブル信号 ENA を活性化する（図 4 (a)）。なお、アクティブコマンドでなく、スタンバイ状態から復帰するコマンドが入力されたときに、イネーブル信号 ENA を活性化してもよい。制御回路 1 2 は、イネーブル信号 ENA の活性化に応じて、イネーブル信号 ENZ、ENX をそれぞれ高レベル、低レベルにする（図 4 (b)）。図 2 に示した分散配置された複数の pMOS 1 8 および nMOS 2 0 は、イネーブル信号 ENX、ENZ の活性化を受けて同時にオンする。pMOS 1 8 のオンにより、内部電源線 VIIIZ は、電源線 VII に接続される。nMOS 2 0 のオンにより、内部電源線 VSSZ は、接地線 VSS に接続される。

#### 【 0 0 3 5 】

次に、制御回路 1 2 は、イネーブル信号 ENA および外部からのアドレス信号 ADD（ロウアドレス信号）に応じてブロック選択信号 BLKX を活性化する（図 4 (c)）。



）。ブロック 1 のワードデコーダ列WDが、ブロック選択信号BLKXに対応して活性化され、ロウアドレス信号に応じたワード線WLが活性化される（図 4（d））。ワード線WLの活性化により、ブロック 1 のメモリセルアレイMA内のメモリセルMCに保持されているデータがビット線BL（または/BL）に伝達される（図 4（e））。

#### 【 0 0 3 6 】

次に、ブロック 1 に隣接する領域 B、C における回路ブロック 1 6 内のセンスアンプ駆動回路が、ブロック選択信号BLKXに対応して活性化され、領域 B、C のセンスアンプ列SAのセンスアンプが活性化される。センスアンプの活性化により、ビット線対BL、/BLの電圧差が増幅される（図 4（f））。

次に、外部から書き込みコマンドを示すコマンド信号CMDが入力されると、図 1 に示した制御回路 1 2 は、書き込みコマンド信号WCMDおよびメイン書き込みコラム線信号MWCLを活性化する（図 4（g、h））。

#### 【 0 0 3 7 】

領域 B、C のWCL駆動回路 2 2（図 3）は、メイン書き込みコラム線信号MWCLの活性化を受け、サブ書き込みコラム線信号SWCLを活性化（高レベル）する（図 4（i））。このとき、領域 A、D のWCL駆動回路 2 2 は、高レベルのメイン書き込みコラム線信号MWCLを受け、スタンバイ状態になっている。このため、pMOS 1 8 を介して内部電源線VIIZに流れ込む電源電流は、領域 B、C のWCL駆動回路 2 4 のみで消費される。このように、分散配置されているpMOS 1 8 を内部電源線VIIZに接続し、異なるタイミングで動作する複数の回路で共有することで、動作する回路に対する電流供給能力を大きくできる。この結果、この例では、WCL駆動回路 2 2 を高速に動作でき、サブ書き込みコラム線信号SWCLを迅速に活性化できる。

#### 【 0 0 3 8 】

次に、書き込みコマンドとともに入力されたアドレス信号（列アドレス信号）に応じて所定のコラム選択線CLが活性化され（図 4（j））、外部から入力された書き込みデータがビット線BL、/BLを介してメモリセルMCに書き込まれる（図 4（k））。

この後、外部からディセーブルコマンドを示すコマンド信号CMD（例えば、プリチャージコマンド）が入力され、ディセーブル信号DISが活性化される（図4（1））。ディセーブル信号DISの活性化にตอบสนองして、ワード線WLが非活性化され、ビット線BL、/BLがプリチャージされる（図4（m））。この後、所定の期間後にイネーブル信号ENZ、ENXが非活性化され、SDRAMはスタンバイ状態になる（図4（n））。イネーブル信号ENZ、ENXの非活性化により、pMOS 18およびnMOS 20がオフし、WCL駆動回路22のオフしているpMOSおよびRCL駆動回路24のオフしているnMOSへの電源の供給が遮断されるため、スタンバイ時のサブスレッショルド電流が大幅に低減される。

## 【0039】

図5は、図2に示したブロック1のメモリセルアレイMAに対する読み出し動作の例を示している。図4と同じ動作については詳細な説明を省略する。まず、外部からアクティブコマンドを示すコマンド信号CMDが入力され、イネーブル信号ENAが活性化される（図5（a））。イネーブル信号ENZ、ENXがそれぞれ高レベル、低レベルに変化し（図5（b））、図2に示したpMOS 18およびnMOS 20は、同時にオンする。pMOS 18のオンにより、内部電源線VIIIZは、電源線VIIに接続される。nMOS 20のオンにより、内部電源線VSSZは、接地線VSSに接続される。

## 【0040】

次に、外部からのアドレス信号ADD（ロウアドレス信号）に応じてブロック選択信号BLKXが活性化され（図5（c））、ロウアドレス信号に応じたワード線WLが活性化される（図5（d））。ワード線WLの活性化により、メモリセルMCに保持されているデータがビット線BL（または/BL）に伝達される（図5（e））。

## 【0041】

次に、ブロック選択信号BLKXに対応して、ブロック1に隣接する領域B、Cのセンスアンプ列SAが活性化され、ビット線対BL、/BLの電圧差が増幅される（図5（f））。

次に、外部から読み出しコマンドを示すコマンド信号CMDが入力されると、図1に示した制御回路12は、読み出しコマンド信号RCMDおよびメイン読み出しコラム線信号MRCLを活性化する（図5（g、h））。

## 【 0 0 4 2 】

領域 B、C の RCL 駆動回路 2 4 ( 図 3 ) は、メイン読み出しコラム線信号 MRCL の活性化を受け、サブ読み出しコラム線信号 SRCL を活性化 ( 低レベル ) する ( 図 5 ( i ) ) 。このとき、領域 A、D の RCL 駆動回路 2 4 は、低レベルのメイン読み出しコラム線信号 MRCL を受け、スタンバイ状態になっている。このため、nMOS 2 0 を介して内部電源線 VSSZ から接地線 VSS に流れ込むソース電流は、領域 B、C の RCL 駆動回路 2 4 の動作のみに寄与する。このように、分散配置されている nMOS を内部電源線 VSSZ に接続し、異なるタイミングで動作する複数の回路で共有することで、動作する回路に対する電流引き抜き能力を大きくできる。この結果、この例では、WCL 駆動回路 2 2 を高速に動作でき、サブ読み出しコラム線信号 SRCL を迅速に活性化できる。

## 【 0 0 4 3 】

次に、読み出しコマンドとともに入力されたアドレス信号 ( コラムアドレス信号 ) に応じて所定のコラム選択線 CL が活性化され ( 図 5 ( j ) ) 、ビット線 BL、/BL 上で増幅されたデータが読み出させる。

この後、外部からディセーブルコマンドを示すコマンド信号 CMD が入力され、ディセーブル信号 DIS が活性化される ( 図 5 ( k ) ) 。ディセーブル信号 DIS の活性化に応答して、ワード線 WL が非活性化され、ビット線 BL、/BL がプリチャージされる ( 図 5 ( l ) ) 。この後、所定の期間後にイネーブル信号 ENZ、ENX が非活性化され、SDRAM はスタンバイ状態になる ( 図 5 ( m ) ) 。

## 【 0 0 4 4 】

以上の書き込み動作および読み出し動作において、ブロック 0、2 のメモリセルアレイ MA は、非選択となっており、領域 A、D のセンスアンプ列 SA および回路群 GR も、活性化されず非選択となっている。

図 3 で説明したように、選択された回路群 GR における WCL 駆動回路 2 2 の pMOS のソースは、メモリコア 1 4 中に分散配置された複数の pMOS 1 8 を介して電源線 VII に接続される。同様に、RCL 駆動回路 2 4 の nMOS のソースは、メモリコア 1 4 中に分散配置された複数の nMOS 2 0 を介して接地線 VSS に接続される。すなわち、異なるタイミングで動作する非選択の回路群 GR に配置された pMOS 1 8 および nM

OS20を共有することで、電源電流の供給能力が向上する。換言すれば、これ等pMOS18およびnMOS20を共有することで、pMOS18およびnMOS20の1個あたりのサイズが小さくても、WCL駆動回路22およびRCL駆動回路24を高速動作させることができる。

#### 【0045】

以上、本実施形態では、内部電源線VIIZ、VSSXを介してスイッチングトランジスタである複数のpMOS18、nMOS20をそれぞれ並列に接続し、これ等pMOS18、nMOS20を異なるタイミングで動作する回路ブロック16で共有した。このため、動作する回路ブロック16に対するpMOS18、nMOS20の総サイズを大きくでき、回路ブロック16への電流供給能力および電流引き抜き能力を向上できる。この結果、従来に比べ回路ブロック16の動作速度を向上できる。

#### 【0046】

複数のpMOS18、nMOS20を回路ブロック16で共有することで、回路ブロック16毎に配置したときに比べ、pMOS18、nMOS20のサイズの総和を小さくできる。この結果、回路ブロック16の非動作時の電流（スタンバイ電流）を低減できる。また、pMOS18、nMOS20を共有できるため、チップサイズを小さくできる。

#### 【0047】

したがって、スタンバイ電流を増加させることなく、高速なSDRAMを構成できる。特に、閾値電圧を下げたトランジスタで回路ブロック16を構成するSDRAMにおいて、動作速度とスタンバイ電流をともに満足できる。

pMOS18、nMOS20の閾値電圧を、回路ブロック16のトランジスタの閾値電圧より高く設定した。複数のpMOS18、nMOS20が並列に接続されているため、チップサイズの増加を最小限に抑えて、サブスレッショルドリーク電流をさらに削減できる。

#### 【0048】

回路ブロック16のWCL駆動回路22およびRCL駆動回路24において、pMOS18、nMOS20を、スタンバイ電流を下げるために必要なトランジスタのみに接続し、他のトランジスタを電源線VII、VSSに直接接続したので、WCL駆動回路22

およびRCL駆動回路24をより高速に動作できるとともに、スタンバイ時にも回路の論理を確定させることができる。

【0049】

pMOS18、nMOS20を間隔を置いてマトリックス状に配置し、これ等pMOS18、nMOS20を同時に動作する回路ブロック16の数が少ない方向に並ぶ回路ブロック16で共有した。このため、動作する回路ブロック16に対するpMOS18、nMOS20の数を多くでき、回路ブロック16当たりの電流供給能力を高くできる。この結果、回路ブロック16を高速に動作できる。

【0050】

pMOS18、nMOS20を、異なるタイミングで動作するWCL駆動回路22およびRCL駆動回路24（コラム制御回路、アレイ制御回路）で共有したので、WCL駆動回路22およびRCL駆動回路24を高速に動作でき、SDRAMのアクセス時間を短縮できる。

図6は、本発明の半導体集積回路の第2の実施形態を示している。この実施形態は、請求項1～請求項10に対応している。第1の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

【0051】

この実施形態では、メモリアレイ26が第1の実施形態のメモリアレイ14と相違している。その他の構成は第1の実施形態とほぼ同一である。すなわち、この実施形態の半導体集積回路は、シリコン基板上にCMOSプロセスを使用してSDRAMとして形成されている。SDRAMは、図1と同様の入出力回路10、制御回路12、およびメモリアレイ26を有している。

【0052】

メモリアレイ26は、マトリックス状に間隔を置いて配置された複数のメモリセルアレイMAを有している。メモリセルアレイMAの四辺に隣接する領域のうち、行方向に並ぶ領域には、ワードデコーダ列WDが配置されている。メモリセルアレイMAの四辺に隣接する領域のうち、列方向に並ぶ領域には、センスアンプ列SAが配置されている。特に図示していないが、図の両端のセンスアンプ列SAの外側には

、コラムデコーダ、リードバッファ、ライトアンプ等のコラムアドレスに対応して動作する制御回路が配置されている。

#### 【 0 0 5 3 】

メモリセルアレイMAの四隅に隣接する領域（列方向に並ぶワードデコーダ列WDの間および行方向に並ぶセンスアンプ列SAの間）には、第1の実施形態と同一の回路群GRが配置されている。列方向に並ぶ回路群GRには、共通の内部電源線VIIIZ（VII0Z、VII1Z、...、VII $n$ Z）、VSSX（VSS0X、VSS1X、...、VSS $n$ X）がそれぞれ配線されている。回路群GRは、イネーブル信号ENZ、ENXを受けている。イネーブル信号ENX、ENZは、第1の実施形態と同様、図1に示した制御回路12により生成される。

#### 【 0 0 5 4 】

メモリコア26の端（図の下側）には、センスアンプ列SAに隣接する領域に回路群GR2が配置され、メモリセルアレイMAに隣接する領域に回路群GR3が配置されている。すなわち、回路群GR2の間に別種の回路群GR3が配置されている。これ等回路群GR2、GR3は、それぞれ列方向に分散して配置されている。メモリコア26は、第1の実施形態と同様に、書き込み動作または読み出し動作時に、ブロック0～3のいずれかが活性化され、活性化されたブロックの両側の領域が活性化される。したがって、列方向に並ぶ回路群GR2は二つずつ動作し、列方向に並ぶ回路群GR3は、互いに異なるタイミングで活性化される（同時に動作しない）。

#### 【 0 0 5 5 】

回路群GR2は回路ブロック30、pMOS18、およびnMOS20を有している。pMOS18は、ソースを電源線VIIに接続し、ドレインを回路ブロック30に接続し、ゲートでイネーブル信号ENXを受けている。nMOS20は、ソースを接地線VSSに接続し、ドレインを回路ブロック30に接続し、ゲートでイネーブル信号ENZを受けている。回路群GR2のpMOS18のドレインおよびnMOS20のドレインは、それぞれ列方向に沿う内部電源線VII $m$ Z、VSS $m$ Zにより互いに接続されている。なお、回路ブロック30は、直接、電源線VIIおよび接地線VSSにも接続されている。

#### 【 0 0 5 6 】

回路群GR3は、回路ブロック32を有している。回路ブロック32は、後述す

るように、ロウアドレス信号に応じた所定のメモリセルアレイMAを選択するためのブロック選択制御回路38を有している。ブロック選択制御回路38は、電源線VII、接地線VSSの他に、内部電源線VII<sub>m</sub>Z、VSS<sub>m</sub>Zに接続されている。このように、内部電源線VII<sub>m</sub>Zに接続されたpMOS18および内部電源線VSS<sub>m</sub>Zに接続されたnMOS20は、回路ブロック30、32により共有されている。

## 【0057】

なお、この実施形態においても、電源電圧VIIは、1.2Vに設定され、回路ブロック16、30、32内のpMOS、nMOSの閾値電圧（絶対値）は、0.25Vに設定され、スイッチングトランジスタであるpMOS18およびnMOS20の閾値電圧（絶対値）は、0.45Vに設定されている。

図7は、回路ブロック30内に配置されるMWCL生成回路34およびMRCL生成回路36の例を示している。MWCL生成回路34は、SDRAMの書き込み動作時に動作し、メイン書き込みコラム線信号MWCLを出力するコラム制御回路かつ読み出し制御回路である。MRCL生成回路36は、SDRAMの読み出し動作時に動作し、メイン読み出しコラム線信号MRCLを出力するコラム制御回路かつ書き込み制御回路である。

## 【0058】

MWCL生成回路34は、NANDゲート34aおよびNANDゲート34aの出力に接続されメイン書き込みコラム線信号MWCLを出力するバッファ34bを有している。NANDゲート34aは、書き込み制御信号WRXの反転信号、センスアンプ活性化信号LEXの反転信号、およびバンク選択信号BKZを受けている。バッファ34bは、直列に接続された2つのインバータで構成されている。

## 【0059】

MRCL生成回路36は、NANDゲート36aおよびNANDゲート36aの出力に接続されメイン読み出しコラム線信号MRCLを出力するバッファ36bを有している。NANDゲート36aは、読み出し制御信号RDXの反転信号、センスアンプ活性化信号LEXの反転信号、およびバンク選択信号BKZを受けている。バッファ36bは、直列に接続された3つのインバータで構成されている。MWCL生成回路34およびMRCL生成回路36において、スタンバイ時にオフするpMOSおよびnMOSのソースは

、それぞれ内部電源線VII<sub>m</sub>Z、VSS<sub>m</sub>Zに接続されている。

#### 【 0 0 6 0 】

図 8 は、回路群GR3内の回路ブロック 3 2 に配置されるブロック選択制御回路 3 8 の例を示している。ブロック選択制御回路 3 8 は、インバータ 3 8 a、ラッチ 3 8 b、およびレベルシフタ 3 8 c を有している。インバータ 3 8 a は、所定のメモリセルアレイMAを選択するためのブロックアドレス信号RAD、RAEの高レベル時に活性化され、ビット線BL、/BLのプリチャージ動作を停止する解除信号BRRZを反転して、ブロック選択信号BLKXを出力する。ラッチ 3 8 b は、ブロック選択信号BLKXをラッチし、ラッチしたブロック選択信号BLKXの反転信号BLKZを出力する。レベルシフタ 3 8 c は、反転信号BLKZの高レベルを昇圧電圧VPPに変換する。レベルシフタ 3 8 c において、昇圧電圧VPPを出力するpMOSのソースは、内部電源線VPPZに接続されている。内部電源線VPPZは、pMOS 3 8 d を介して昇圧電源線VPPに接続されている。pMOS 3 8 d のゲートは、イネーブル信号ENXを受けている。

#### 【 0 0 6 1 】

このように、ブロック選択制御回路 3 8 は、行アドレス信号に対応するブロックアドレス信号RAD、RAEにより活性化され、ワード線WLを選択するロウ制御回路である。ブロック選択制御回路 3 8 において、スタンバイ時にオフするpMOSのソースは、内部電源線VII<sub>m</sub>Z（またはVPPZ）に接続され、スタンバイ時にオフするnMOSのソースは、内部電源線VSS<sub>m</sub>Zに接続されている。

#### 【 0 0 6 2 】

図 9 は、図 7 に示したMWCL生成回路 3 4 およびMRCL生成回路 3 6 の動作を示している。書き込み動作において、バンク選択信号BKZ、センスアンプ活性化信号LEX、および書き込み制御信号WRXの活性化に応じて、MWCL生成回路 3 4 が動作し、メイン書き込みコラム線信号MWCLが活性化される。読み出し動作において、バンク選択信号BKZ、センスアンプ活性化信号LEX、および読み出し制御信号RDXの活性化に応じて、MRCL生成回路 3 6 が動作し、メイン読み出しコラム線信号MRCLが活性化される。メイン書き込みコラム線信号MWCLおよびメイン読み出しコラム線信号MRCLは、それぞれ活性化期間の短い書き込み制御信号WRXおよびセンスア



ンプ活性化信号LEXに対応して活性化される。

#### 【 0 0 6 3 】

SDRAMにおいて、同じブロックに対して書き込み動作と読み出し動作が同時に実行されることはない。すなわち、内部電源線VII<sub>m</sub>Z、VSS<sub>m</sub>Xに接続されたMWCL生成回路 3 4 およびMRCL生成回路 3 6 が同時に動作することはない。さらに、内部電源線VII<sub>m</sub>Z、VSS<sub>m</sub>Xに接続されたMWCL生成回路 3 4 およびMRCL生成回路 3 6 は、二つずつ動作する。したがって、動作するMWCL生成回路 3 4 およびMRCL生成回路 3 6 に対するpMOS 1 8 およびnMOS 2 0 の数を多くでき、SDRAMの読み出し動作時間および書き込み動作時間を短縮することが可能になる。

#### 【 0 0 6 4 】

図 1 0 は、ブロック 1 のメモリセルアレイMAに対して書き込み動作を実行する例を示している。図 4 と同じ動作については詳細な説明を省略する。まず、外部からアクティブコマンドを示すコマンド信号CMDが入力され、イネーブル信号ENAが活性化される（図 1 0 (a)）。イネーブル信号ENAに応答してイネーブル信号ENZ、ENXがそれぞれ高レベル、低レベルに変化し（図 1 0 (b)）、図 6 に示したpMOS 1 8、nMOS 2 0、および図 8 に示したpMOS 3 8 dはオンする。pMOS 1 8 のオンにより、内部電源線VII<sub>I</sub>Zは、電源線VIIに接続される。nMOS 2 0 のオンにより、内部電源線VSS<sub>Z</sub>は、接地線VSSに接続される。pMOS 3 8 dのオンにより、内部電源線VPP<sub>Z</sub>は、昇圧電源線VPPに接続される。

#### 【 0 0 6 5 】

次に、ブロックアドレス信号RAD、RAEが活性化され、プリチャージの解除信号BRRZが活性化される（図 1 0 (c)）。図 8 に示したブロック選択制御回路 3 8 は、解除信号BRRZの活性化を受けて、ブロック選択信号BLKX、BLTZを活性化する（図 1 0 (d)）。ここで、ブロック選択信号BLTZは、ブロック選択制御回路 3 2 のレベルシフタ 3 8 cにより昇圧電圧VPPまで上昇する。内部電源線VII<sub>m</sub>Z、VS<sub>m</sub>Z、VPP<sub>Z</sub>に接続されたブロック選択制御回路 3 8 は、ブロックアドレス信号RAD、RAEに対応する一つのみが、活性化される。したがって、動作するブロック選択制御回路 3 8 に対するpMOS 1 8 およびnMOS 2 0 の数を多くでき、ブロック選択制御回路 3 8 当たりの電流供給能力を高くできる。この結果、ブロック選択制御

回路 3 8 を高速に動作できる。

【 0 0 6 6 】

ブロック選択信号BLKX、BLTZは、図 6 に示した回路群GR2に含まれる不図示のセルアレイ選択回路に伝達される。そして、セルアレイ選択回路により、領域 B のセンスアンプ列SAとブロック 0 のメモリセルアレイMAとが分離され、領域 C のセンスアンプ列SAと、ブロック 2 のメモリセルアレイMAとが分離される。さらに、ブロック 1 のメモリセルアレイMAのプリチャージ動作が解除される。このとき、コラム制御回路であるMWCL生成回路 3 4 は、未だ動作していない。

【 0 0 6 7 】

次に、ブロック選択信号BLKX、ロウアドレス信号、および不図示のタイミング信号に対応して、ブロック 1 のワード線WLおよびセンスアンプ活性化信号LEXが活性化される（図 1 0 (e)）。センスアンプ活性化信号LEXは、図 7 に示したMWCL生成回路 3 4 およびMRCL生成回路 3 6 に供給される。ワード線WLの活性化により、メモリセルMCに保持されているデータがビット線BL（または/BL）に伝達される（図 1 0 (f)）。センスアンプの活性化により、ビット線対BL、/BLの電圧差が増幅される（図 1 0 (g)）。

【 0 0 6 8 】

次に、外部から書き込みコマンドを示すコマンド信号CMDが入力され、書き込みコマンド信号WCMDが活性化される（図 1 0 (h)）。書き込みコマンド信号WCMDに応答して書き込み制御信号WRXが活性化される（図 1 0 (i)）。図 7 に示したMWCL生成回路 3 4 は、書き込み制御信号WRXの活性化を受けてメイン書き込みコラム線信号MWCLを活性化する（図 1 0 (j)）。図 3 に示したWCL駆動回路 2 2 は、メイン書き込みコラム線信号MWCLの活性化を受け、サブ書き込みコラム線信号SWCLを活性化する（図 1 0 (k)）。そして、書き込みコマンドとともに入力されたアドレス信号（コラムアドレス信号）に応じて所定のコラム選択線CLが活性化され（図 1 0 (l)）、外部から入力された書き込みデータがビット線BL、/BLを介してメモリセルMCに書き込まれる（図 1 0 (m)）。

【 0 0 6 9 】

次に、外部からディセーブルコマンドを示すコマンド信号CMD（例えば、プリ

チャージコマンド)が入力され、ディセーブル信号DISが活性化される(図10(n))。ディセーブル信号DISの活性化に応答して、ブロック1のワード線WLが非活性化され(図10(o))、ビット線BL、/BLがプリチャージされる(図10(p))。この後、所定の期間後にイネーブル信号ENZ、ENXが非活性化され、SDRAMはスタンバイ状態になる(図10(q))。

#### 【0070】

上述したように、回路ブロック32内に形成されたロウ制御回路であるブロック選択制御回路38と、回路ブロック30内に形成されたコラム制御回路であるMWCL生成回路34とは、それぞれ異なるタイミングで動作する。したがって、動作する各回路ブロック30、32に対するpMOS18およびnMOS20の数を多くでき、回路ブロック当たりの電流供給能力を高くできる。この結果、MWCL生成回路34およびブロック選択制御回路38をそれぞれ高速に動作できる。

#### 【0071】

図11は、ブロック1のメモリセルアレイMAに対して読み出し動作を実行する例を示している。上述と同じ動作については詳細な説明を省略する。まず、外部からアクティブコマンドを示すコマンド信号CMDが入力され、イネーブル信号ENAが活性化される(図11(a))。イネーブル信号ENZ、ENXがそれぞれ高レベル、低レベルに変化し(図11(b))、図2および図6に示したpMOS18、nMOS20、および図8に示したpMOS38dはオンする。

#### 【0072】

次に、ブロックアドレス信号RAD、RAEが活性化され、プリチャージの解除信号BRRZが活性化される(図11(c))。解除信号BRRZの活性化に応答して、ブロック選択信号BLKX、BLTZが活性化される(図11(d))。このとき、コラム制御回路であるMRCL生成回路36は、未だ動作していない。ロウアドレス信号に応じてブロック1のワード線WLおよびセンスアンプ活性化信号LEXが活性化される(図11(e))。ワード線WLの活性化により、メモリセルMCに保持されているデータがビット線BL(または/BL)に伝達される(図11(f))。センスアンプの活性化により、ビット線対BL、/BLの電圧差が増幅される(図11(g))。

## 【 0 0 7 3 】

次に、外部から読み出しコマンドを示すコマンド信号CMDが入力され、読み出しコマンド信号RCMDが活性化される（図 1 1（h））。図 7 に示したMRCL生成回路 3 6 は、読み出し制御信号RDXの活性化を受けてメイン読み出しコラム線信号MRCLを活性化する（図 1 1（j））。図 3 に示したRCL駆動回路 2 2 は、メイン読み出しコラム線信号MRCLの活性化を受け、サブ読み出しコラム線信号SRCLを活性化する（図 1 1（k））。そして、読み出しコマンドとともに入力されたアドレス信号（コラムアドレス信号）に応じて所定のコラム選択線CLが活性化され（図 1 1（l））、ビット線BL、/BL上で増幅されたデータが読み出させる。

## 【 0 0 7 4 】

この後、図 1 0 と同様に、外部からディセーブルコマンドを示すコマンド信号CMDが入力され、ディセーブル信号DISが活性化される（図 1 1（m））。そして、ワード線WLが非活性化され（図 1 1（n））、ビット線BL、/BLがプリチャージされ（図 1 1（o））イネーブル信号ENZ、ENXが非活性化され、SDRAMはスタンバイ状態になる（図 1 1（p））。

## 【 0 0 7 5 】

読み出し動作においても、ブロック選択制御回路 3 8 は、ブロックアドレス信号RAD、RAEに対応する一つのみが、活性化される。動作するブロック選択制御回路 3 8 に対するpMOS 1 8 およびnMOS 2 0 の数を多くできるため、ブロック選択制御回路 3 8 当たりの電流供給能力を高くできる。また、回路ブロック 3 2 内のブロック選択制御回路 3 8 と、回路ブロック 3 0 内のMRCL生成回路 3 6 とは、それぞれ異なるタイミングで動作する。したがって、動作する各回路ブロック 3 0、3 2 に対するpMOS 1 8 およびnMOS 2 0 の数を多くでき、回路ブロック当たりの電流供給能力を高くできる。

## 【 0 0 7 6 】

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、読み出し動作時に動作するMRCL生成回路 3 6 および書き込み動作時に動作するMWCL生成回路 3 4 を、内部電源線VII<sub>mZ</sub>、VSS<sub>mX</sub>により互いに接続した。内部電源線VII<sub>mZ</sub>、VSS<sub>mX</sub>に接続された回路ブロック 3

0のMWCL生成回路34およびMRCL生成回路36と、回路ブロック32のブロック選択制御回路38とを異なるタイミングで動作させた。また、内部電源線VII<sub>m</sub>Z、VSS<sub>m</sub>Xに接続されたMWCL生成回路34を互いに異なるタイミングで動作させた。内部電源線VII<sub>m</sub>Z、VSS<sub>m</sub>Xに接続されたMRCL生成回路36を互いに異なるタイミングで動作させた。同様に、内部電源線VII<sub>m</sub>Z、VSS<sub>m</sub>Xに接続されたブロック選択制御回路38を互いに異なるタイミングで動作させた。したがって、動作するそれぞれの回路に対するpMOS18およびnMOS20の数を多くでき、これ等回路を高速に動作できる。この結果、SDRAMを高速に動作できる。

## 【0077】

MWCL生成回路34、MRCL生成回路36、およびブロック選択制御回路38において、pMOS18、nMOS20を、スタンバイ電流を下げるために必要なトランジスタのみに接続し、他のトランジスタを電源線VII、VSSに直接接続したので、これ等回路をより高速に動作できるとともに、スタンバイ時にも回路の論理を確定させることができる。

## 【0078】

なお、上述した実施形態では、本発明をSDRAMに適用した例について述べた。しかしながら本発明はかかる実施形態に限定されるものではない。例えば、本発明をSRAM等の他の半導体メモリあるいは、ロジックLSIに適用してもよい。本発明をDRAMコアを混載するシステムLSIに適用しても良い。

上述した第1の実施形態では、メモリコア14の列方向に並ぶpMOS18およびnMOS20をそれぞれ並列に接続し、これ等pMOS18およびnMOS20を、互いに異なるタイミングで動作するWCL駆動回路22およびRCL駆動回路24でそれぞれ共有した例について述べた。しかしながら本発明はかかる実施形態に限定されるものではない。例えば、メモリコア14の行方向に並ぶpMOS18およびnMOS20を並列に接続し、これ等pMOS18およびnMOS20を、互いに異なるタイミングで動作する制御回路で共有してもよい。制御回路の例として、行方向に複数配置されるコラムデコーダ、リードアンプおよびライトアンプ等がある。

## 【0079】

上述した第1の実施形態では、異なるタイミングで動作するコラム制御回路（

WCL駆動回路 2 2 および RCL駆動回路 2 4 ) を内部電源線 VIIZ、VSSX で接続した例について述べた。しかしながら本発明はかかる実施形態に限定されるものではない。例えば、異なるタイミングで動作するロウ制御回路を内部電源線 VIIZ、VSSX で接続してもよい。さらに、異なるタイミングで動作する書き込み制御回路および読み出し制御回路を内部電源線 VIIZ、VSSX で接続してもよい。

#### 【 0 0 8 0 】

上述した実施形態では、書き込み動作後および読み出し動作後のプリチャージ動作と pMOS 1 8 および nMOS 2 0 のオフ動作とをディセーブルコマンドに応答して行った例について述べた。しかしながら本発明はかかる実施形態に限定されるものではない。例えば、プリチャージ動作と pMOS 1 8 および nMOS 2 0 のオフ動作とをそれぞれ別のコマンドに応答して行ってもよい。

#### 【 0 0 8 1 】

上述した実施形態では、メモリセルアレイ MA の行方向に隣接する領域に、ワードデコーダ列 WD を配置した例について述べた。しかしながら本発明はかかる実施形態に限定されるものではない。例えば、この領域をワードストラップ構造のコンタクト領域として使用してもよい。ワードストラップ構造とは、一般に配線長の長いワード線の抵抗を下げるため、ワード線を比較的抵抗の高い下層の配線（例えばポリシリコン）と抵抗の低い上層の配線（例えばアルミニウム）とにより形成した構造である。

#### 【 0 0 8 2 】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記 1) 複数の回路ブロックと、

前記回路ブロックの電源端子をそれぞれ電源線に接続する複数のスイッチングトランジスタと、

異なるタイミングで動作する前記回路ブロックの前記電源端子を互いに接続する内部電源線と、

前記内部電源線に接続された前記回路ブロックの少なくともいずれかの動作に対応して、前記内部電源線に接続された前記スイッチングトランジスタを同時にオンさせる電源制御回路とを備えていることを特徴とする半導体集積回路。

【 0 0 8 3 】

(付記 2) 付記 1 記載の半導体集積回路において、

前記スイッチングトランジスタの閾値電圧は、前記回路ブロックに含まれるトランジスタの閾値電圧より高いことを特徴とする半導体集積回路。

(付記 3) 付記 1 記載の半導体集積回路において、

前記回路ブロックは、複数のトランジスタを含み、

スタンバイ時にオフする前記トランジスタのソース電極は、前記内部電源線および前記スイッチングトランジスタを介して前記電源線に接続されていることを特徴とする半導体集積回路。

【 0 0 8 4 】

(付記 4) 付記 1 記載の半導体集積回路において、

前記スイッチングトランジスタおよび前記回路ブロックは、分散して配置されていることを特徴とする半導体集積回路。

(付記 5) 付記 4 記載の半導体集積回路において、

前記スイッチングトランジスタおよび前記回路ブロックは、間隔を置いてマトリックス状に配置され、

前記内部電源線は、同時に動作する前記回路ブロックの数が少ない方向に並ぶ該回路ブロックの前記電源端子を互いに接続することを特徴とする半導体集積回路。

【 0 0 8 5 】

(付記 6) 付記 4 記載の半導体集積回路において、

前記スイッチングトランジスタおよび前記回路ブロックは、間隔を置いてマトリックス状に配置され、

一方向に並ぶ前記回路ブロックは、同時に動作し、

前記一方向の直交方向に並ぶ前記回路ブロックの複数は、異なるタイミングで動作し、

前記内部電源線は、前記直交方向に並ぶ前記回路ブロックの前記電源端子を互いに接続していることを特徴とする半導体集積回路。

【 0 0 8 6 】

(付記 7) 付記 4 記載の半導体集積回路において、

間隔を置いてマトリックス状に配置され、ワード線およびビット線に接続されたメモリセルを有する複数のメモリセルアレイと、

前記メモリセルアレイの四隅に隣接する領域にそれぞれ配置された前記スイッチングトランジスタおよび前記各メモリセルアレイをそれぞれ制御するアレイ制御回路を含む前記回路ブロックと、

前記ワード線の配線方向および前記ビット線の配線方向のいずれかに並ぶ前記アレイ制御回路の電源端子を互いに接続する前記内部電源線とを備えていることを特徴とする半導体集積回路。

【 0 0 8 7 】

(付記 8) 付記 7 記載の半導体集積回路において、

前記内部電源線により接続されたアレイ制御回路は、前記ビット線に伝達されたデータを入出力するコラム制御回路であることを特徴とする半導体集積回路。

(付記 9) 付記 7 記載の半導体集積回路において、

前記内部電源線により接続された前記アレイ制御回路は、前記ワード線を選択するロウ制御回路であることを特徴とする半導体集積回路。

【 0 0 8 8 】

(付記 1 0) 付記 7 記載の半導体集積回路において、

前記内部電源線により接続された前記アレイ制御回路は、前記ビット線に伝達されたデータを入出力するコラム制御回路および前記ワード線を選択するロウ制御回路であることを特徴とする半導体集積回路。

(付記 1 1) 付記 7 記載の半導体集積回路において、

前記内部電源線により接続された前記アレイ制御回路は、読み出し動作時に動作する読み出し制御回路および書き込み動作時に動作する書き込み制御回路であることを特徴とする半導体集積回路。

【 0 0 8 9 】



(付記 1 2) 付記 4 記載の半導体集積回路において、

ワード線およびビット線に接続されたメモリセルを有する複数のメモリセルアレイを備え、

前記内部電源線により接続された前記回路ブロックは、読み出し動作時に動作する読み出し制御回路および書き込み動作時に動作する書き込み制御回路であることを特徴とする半導体集積回路。

【 0 0 9 0 】

(付記 1 3) 付記 4 記載の半導体集積回路において、

前記内部電源線により接続された前記回路ブロックの間に、前記回路ブロックと異なるタイミングで動作する別種の回路ブロックがそれぞれ配置され、

前記別種の回路ブロックの電源線は、前記内部電源線に接続されていることを特徴とする半導体集積回路。

【 0 0 9 1 】

(付記 1 4) 付記 1 3 記載の半導体集積回路において、

前記別種の回路ブロックは、複数のトランジスタを含み、

スタンバイ時にオフする前記トランジスタのソース電極は、前記内部電源線および前記スイッチングトランジスタを介して前記電源線に接続されていることを特徴とする半導体集積回路。

【 0 0 9 2 】

(付記 1 5) 付記 1 3 記載の半導体集積回路において、

前記別種の回路ブロックは、互いに異なるタイミングで動作することを特徴とする半導体集積回路。

(付記 1 6) 付記 1 3 記載の半導体集積回路において、

ワード線およびビット線に接続されたメモリセルを有する複数のメモリセルアレイを備え、

前記内部電源線により接続された前記回路ブロックは、前記ビット線に伝達されたデータを入出力するコラム制御回路であり、

前記別種の回路ブロックは、前記ワード線を選択するロウ制御回路であることを特徴とする半導体集積回路。

## 【 0 0 9 3 】

付記 9 の半導体集積回路では、ワード線を選択するロウ制御回路（アレイ制御回路）が、内部電源線により互いに接続されている。互いに異なるタイミングで動作するロウ制御回路を内部電源線により互いに接続することで、動作するロウ制御回路に対するスイッチングトランジスタの数を多くでき、ロウ制御回路当たりの電流供給能力を高くできる。この結果、ロウ制御回路を高速に動作でき、半導体メモリのロウ動作時間を短縮できる。

## 【 0 0 9 4 】

付記 1 0 の半導体集積回路では、ビット線に伝達されたデータを入出力するコラム制御回路およびワード線を選択するロウ制御回路が、内部電源線により互いに接続されている。一般に、半導体メモリにデータを読み書きするとき、まずロウ制御回路が動作し、その後コラム制御回路が動作する。すなわち、ロウ制御回路およびコラム制御回路は、互いに異なるタイミングで動作する。このため、動作するロウ制御回路またはコラム制御回路に対するスイッチングトランジスタの数を多くできる。したがって、ロウ制御回路およびコラム制御回路を高速に動作でき、半導体メモリのアクセス時間を短縮できる。

## 【 0 0 9 5 】

付記 1 4 の半導体集積回路では、別種の回路ブロック内におけるスタンバイ時にオフするトランジスタのソース電極は、内部電源線およびスイッチングトランジスタを介して電源線に接続されている。スイッチングトランジスタをスタンバイ電流を下げるために必要なトランジスタのみに接続し、他のトランジスタを電源線に直接接続することで、別種の回路ブロックをより高速に動作できるとともに、スタンバイ時にも回路の論理を確定させることができる。

## 【 0 0 9 6 】

付記 1 5 の半導体集積回路では、別種の回路ブロックは、互いに異なるタイミングで動作する。異なるタイミングで動作する別種の回路ブロックを内部電源線により互いに接続することで、動作する別種の回路ブロックに対するスイッチングトランジスタの数を多くでき、回路ブロック当たりの電流供給能力を高くできる。この結果、別種の回路ブロックを高速に動作できる。

【 0 0 9 7 】

【発明の効果】

請求項 1 の半導体集積回路では、動作する回路ブロックに対するスイッチングトランジスタの総サイズを大きくできるため、回路ブロックの動作時に、回路ブロックに接続される電源の電源抵抗（または接地抵抗）を下げることができ、従来に比べ回路ブロックの動作速度を向上できる。回路ブロックの非動作時の電流（スタンバイ電流）を低減できる。また、スイッチングトランジスタを共有できるため、チップサイズを小さくできる。したがって、スタンバイ電流を増加させることなく、高速な半導体集積回路を構成できる。

【 0 0 9 8 】

請求項 2 の半導体集積回路では、チップサイズの増加を最小限に抑えて、サブスレッショルドリーク電流をさらに削減できる。

請求項 3 の半導体集積回路では、回路ブロックをより高速に動作できる。

請求項 4 の半導体集積回路では、チップサイズを増加させることなく、動作速度とスタンバイ電流をともに満足できる半導体集積回路を構成できる。

【 0 0 9 9 】

請求項 5 の半導体集積回路では、動作する回路ブロックに対するスイッチングトランジスタの数を多くでき、回路ブロック当たりの電流供給能力を高くできる。この結果、回路ブロックを高速に動作できる。

請求項 6 の半導体集積回路では、アレイ制御回路を高速に動作でき、半導体メモリのアクセス時間を短縮できる。

【 0 1 0 0 】

請求項 7 の半導体集積回路では、コラム制御回路を高速に動作でき、半導体メモリのコラム動作時間を短縮できる。

請求項 8 の半導体集積回路では、読み出し制御回路および書き込み制御回路を高速に動作でき、半導体メモリの読み出し動作時間および書き込み動作時間を短縮できる。

【 0 1 0 1 】

請求項 9 の半導体集積回路では、動作する回路ブロックに対するスイッチング

トランジスタの数を多くでき、回路ブロック当たりの電流供給能力を高くできる。  
この結果、回路ブロックを高速に動作できる。

請求項 1 0 の半導体集積回路では、ロウ制御回路およびはコラム制御回路を高速に動作でき、半導体メモリのアクセス時間を短縮できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示すブロック図である。

【図 2】

図 1 のメモリコアの詳細を示すブロック図である。

【図 3】

図 2 の回路ブロックに配置される WCL 駆動回路および RCL 駆動回路の例を示す回路図である。

【図 4】

第 1 の実施形態における書き込み動作の例を示すタイミング図である。

【図 5】

第 1 の実施形態における読み出し動作の例を示すタイミング図である。

【図 6】

本発明の第 2 の実施形態におけるメモリコアの詳細を示すブロック図である。

【図 7】

図 6 の回路群内の回路ブロックに配置される MWCL 生成回路および MRCL 生成回路の例を示す回路図である。

【図 8】

図 6 の制御回路内の回路ブロックに配置されるブロック選択制御回路の例を示す回路図である。

【図 9】

図 7 の MWCL 生成回路および MRCL 生成回路の動作を示すタイミング図である。

【図 1 0】

第 2 の実施形態における書き込み動作の例を示すタイミング図である。

【図 1 1】

第 2 の実施形態における読み出し動作の例を示すタイミング図である。

【符号の説明】

1 0 入出力回路  
1 2 制御回路  
1 4 メモリコア  
1 6 回路ブロック  
1 8 pMOSトランジスタ  
2 0 nMOSトランジスタ  
2 2 WCL駆動回路  
2 4 RCL駆動回路  
2 6 メモリコア  
3 0、3 2 回路ブロック  
3 4 MWCL生成回路  
3 4 a NANDゲート  
3 4 b バッファ  
3 6 MRCL生成回路  
3 6 a NANDゲート  
3 6 b バッファ  
3 8 ブロック選択制御回路  
3 8 a インバータ  
3 8 b ラッチ  
3 8 c レベルシフタ  
3 8 d pMOS  
ADD アドレス信号  
BKZ バンク選択信号  
BL、/BL ビット線  
BLKX ブロック選択信号  
BLKZ 反転信号  
BRRZ 解除信号

CL コラム選択線  
 CLK クロック信号  
 CMD コマンド信号  
 DATA データ信号  
 DQ データ信号  
 ENZ、ENX イネーブル信号  
 GR、GR2、GR3 回路群  
 IADD 内部アドレス信号  
 ICLK 内部クロック信号  
 ICMD 内部コマンド信号  
 IDQ 内部データ信号  
 LEX センスアンプ活性化信号  
 MA メモリセルアレイ  
 MC メモリセル  
 MRCL メイン読み出しコラム線信号  
 MWCL メイン書き込みコラム線信号  
 RAD、RAE ブロックアドレス信号  
 RDX 読み出し制御信号  
 SA センスアンプ列  
 SRCL サブ読み出しコラム線信号  
 SWCL サブ書き込みコラム線信号  
 VII 電源線  
 VIIZ (VII0Z、VII1Z、....、VII<sub>n</sub>Z) 内部電源線  
 VII<sub>m</sub>Z 内部電源線  
 VPP 昇圧電圧、電源線  
 VPPZ 内部電源線  
 VSS 接地線  
 VSSX (VSS0X、VSS1X、....、VSS<sub>n</sub>X) 内部電源線  
 VSS<sub>m</sub>Z 内部電源線

WD ワードデコーダ列

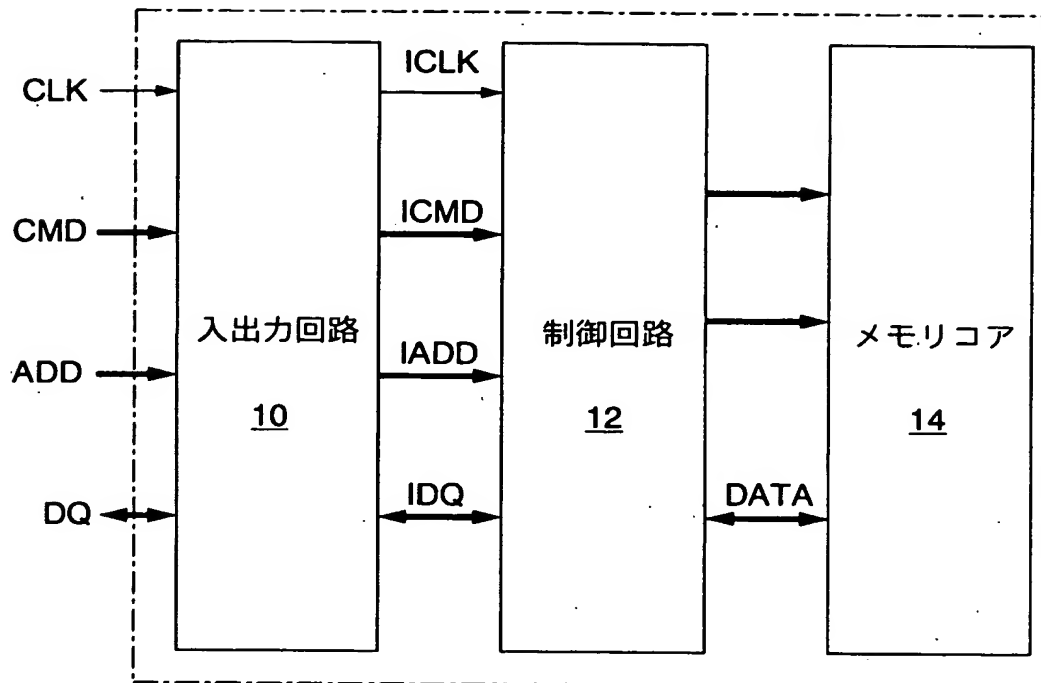
WL ワード線

WRX 書き込み制御信号

【書類名】 図面

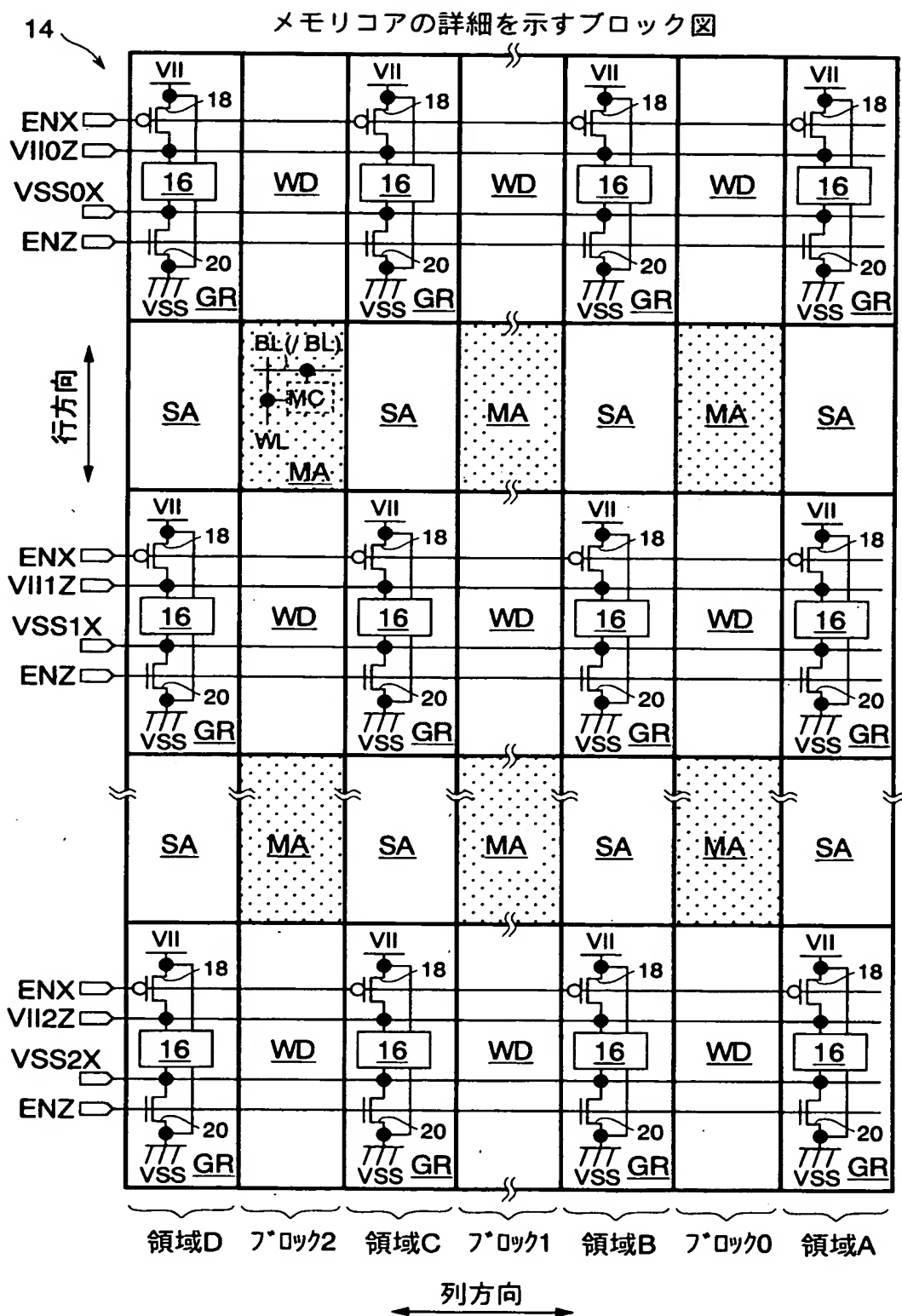
【図 1】

第 1 の実施形態を示すブロック図



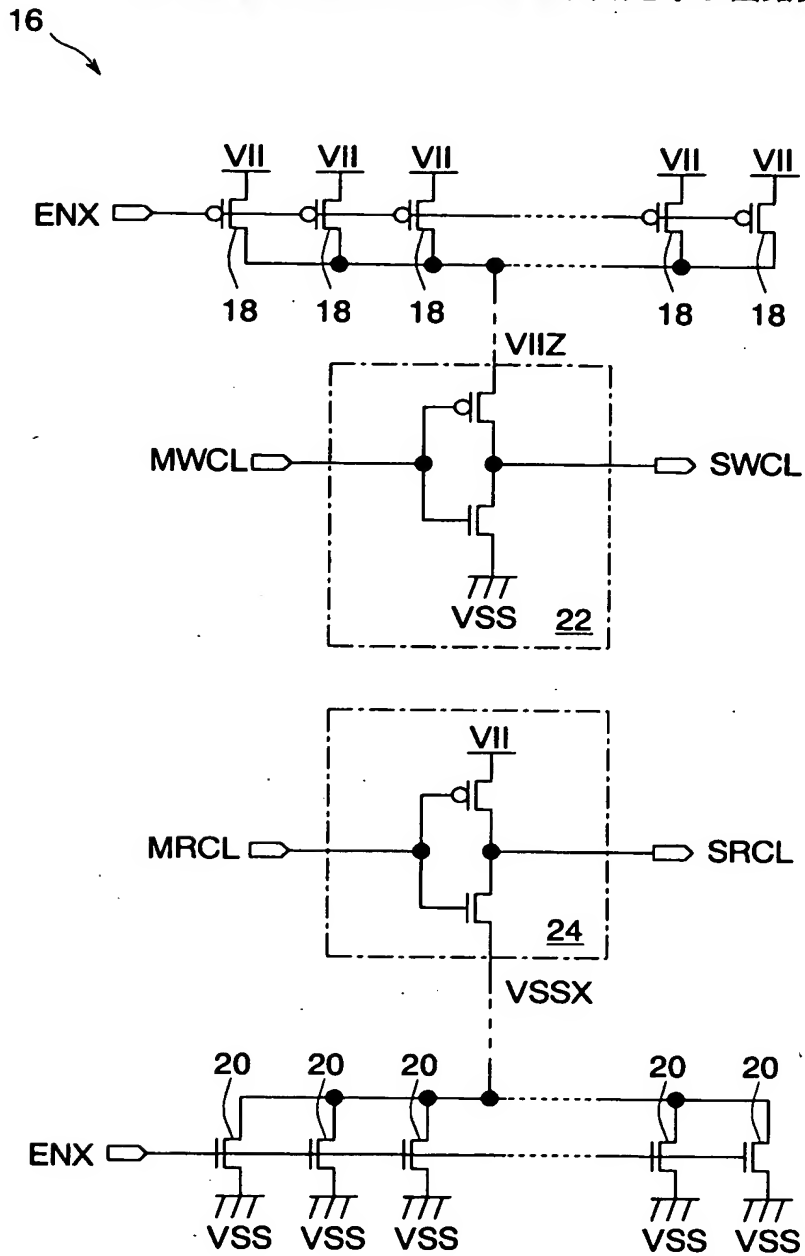


【図 2】



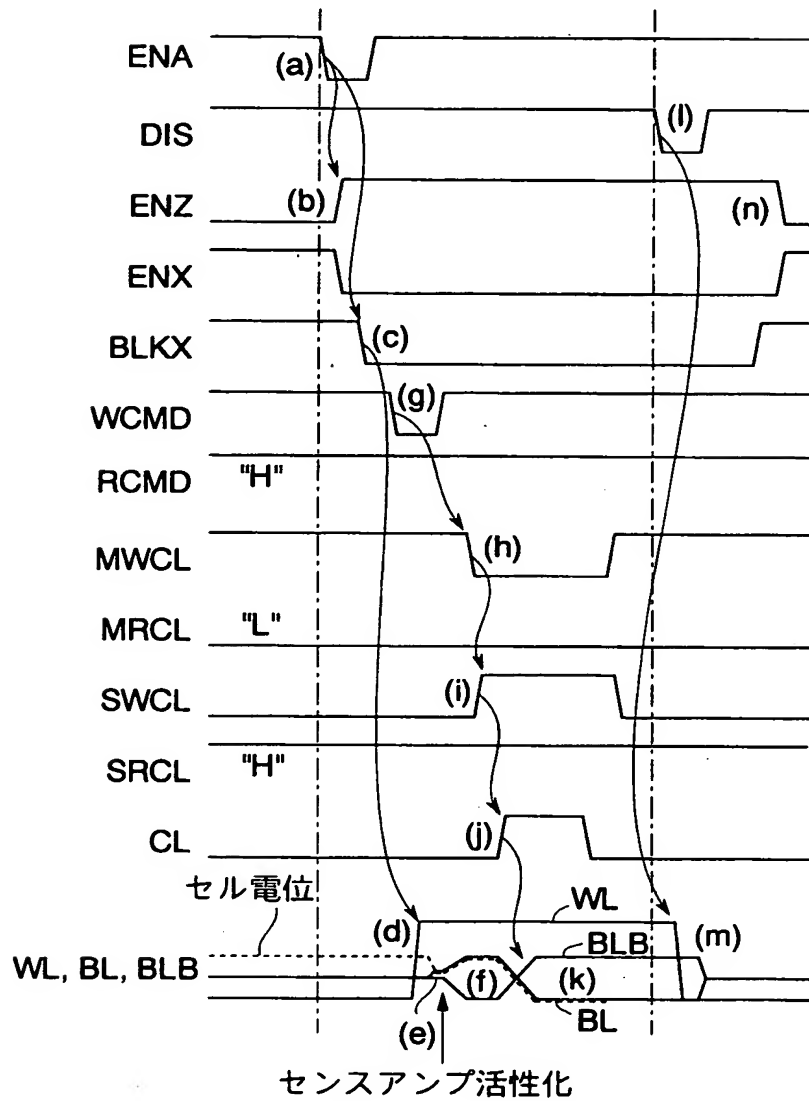
【図 3】

WCL駆動回路およびRCL駆動回路を示す回路図



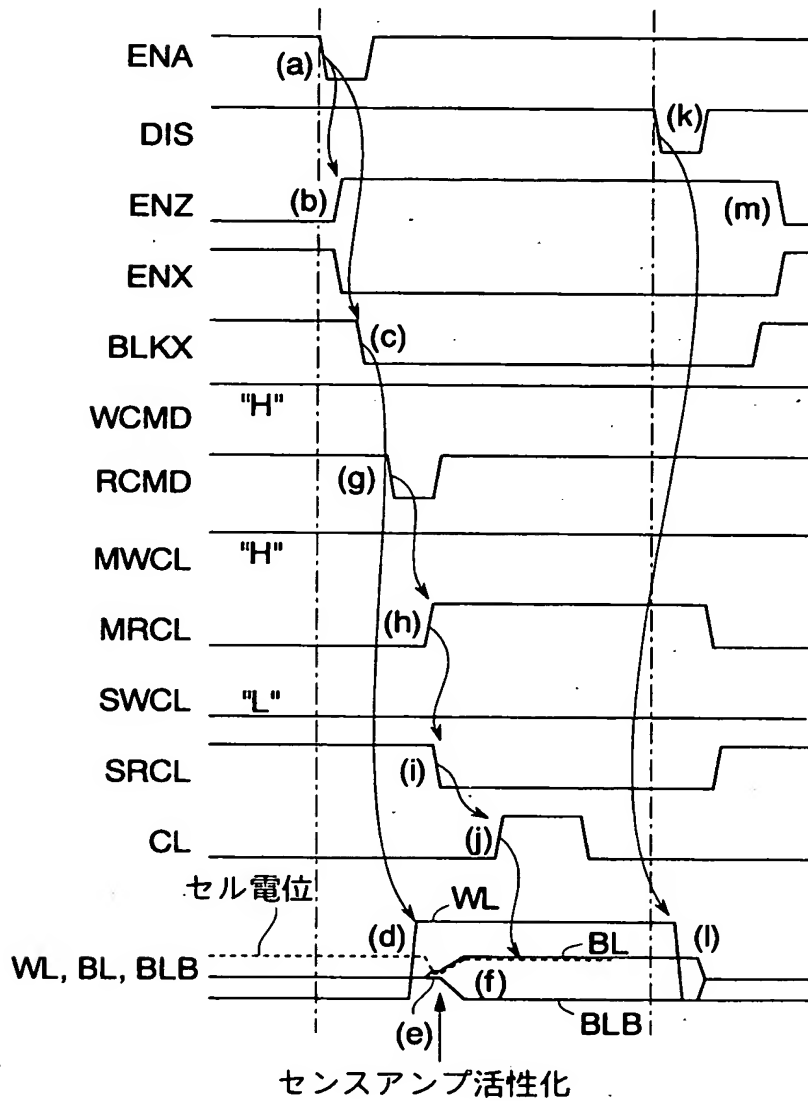
【図 4】

第 1 の実施形態における書き込み動作を示すタイミング図



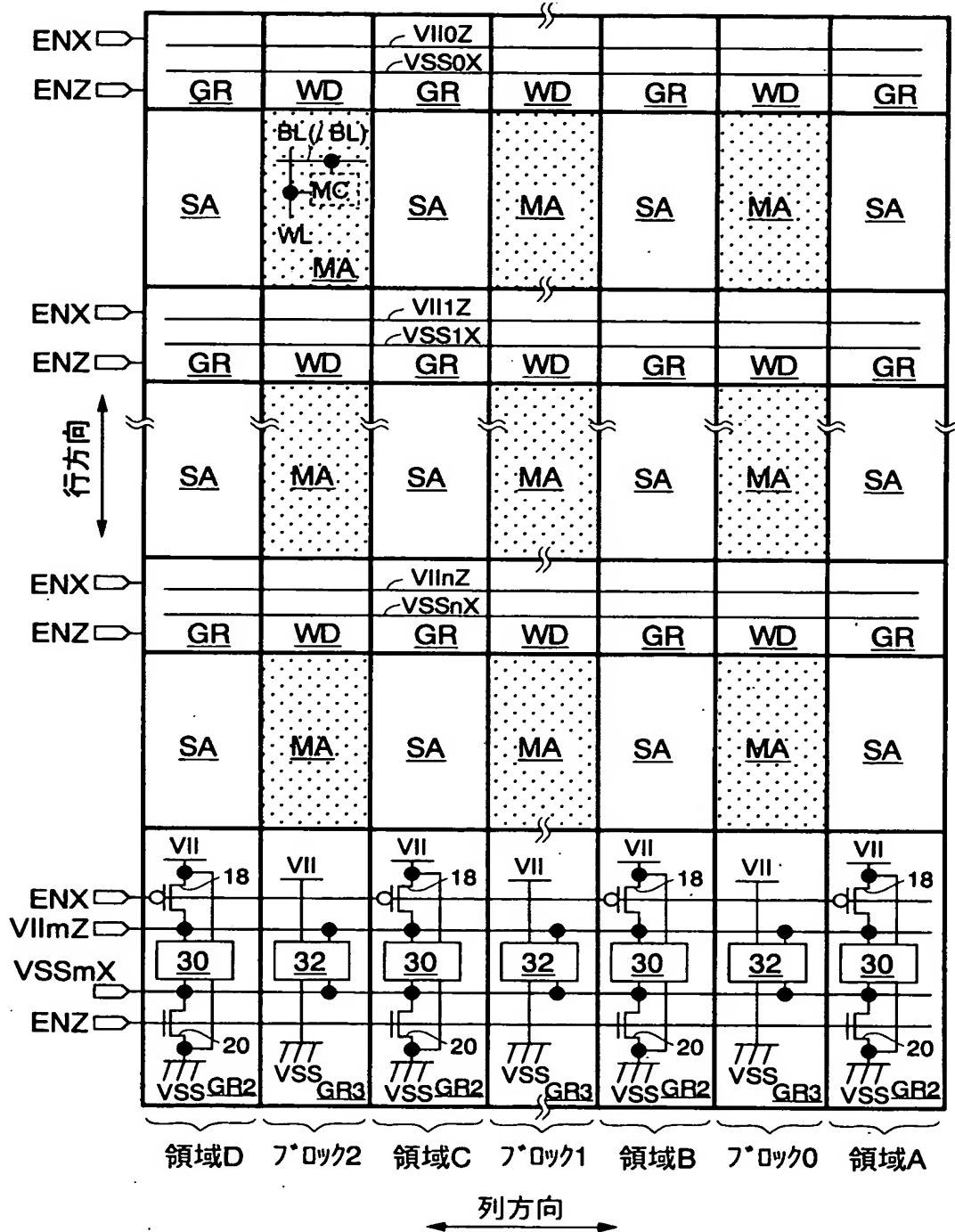
【図 5】

第 1 の実施形態における読み出し動作を示すタイミング図



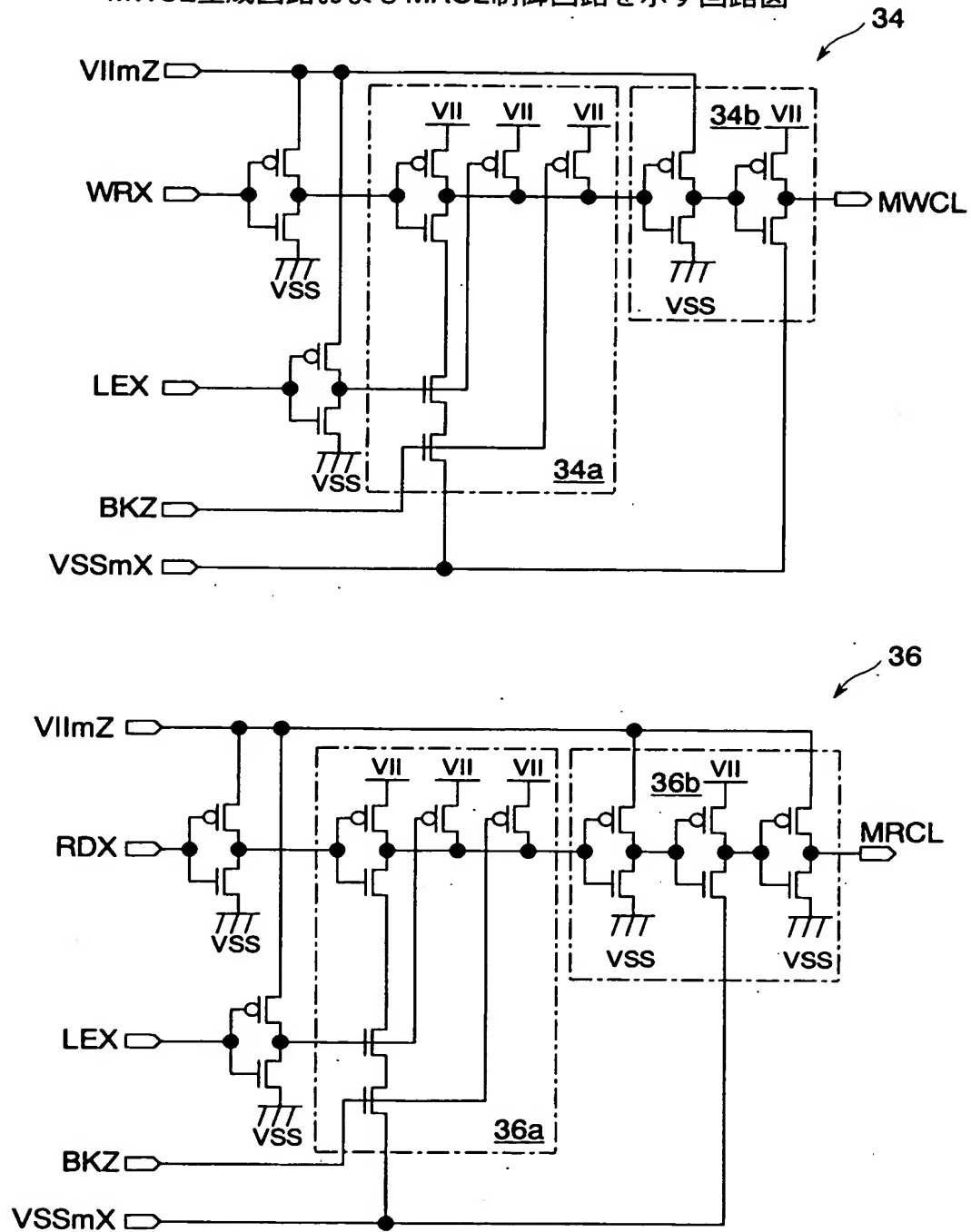
【図 6】

26 第2の実施形態におけるメモリコアの詳細を示すブロック図



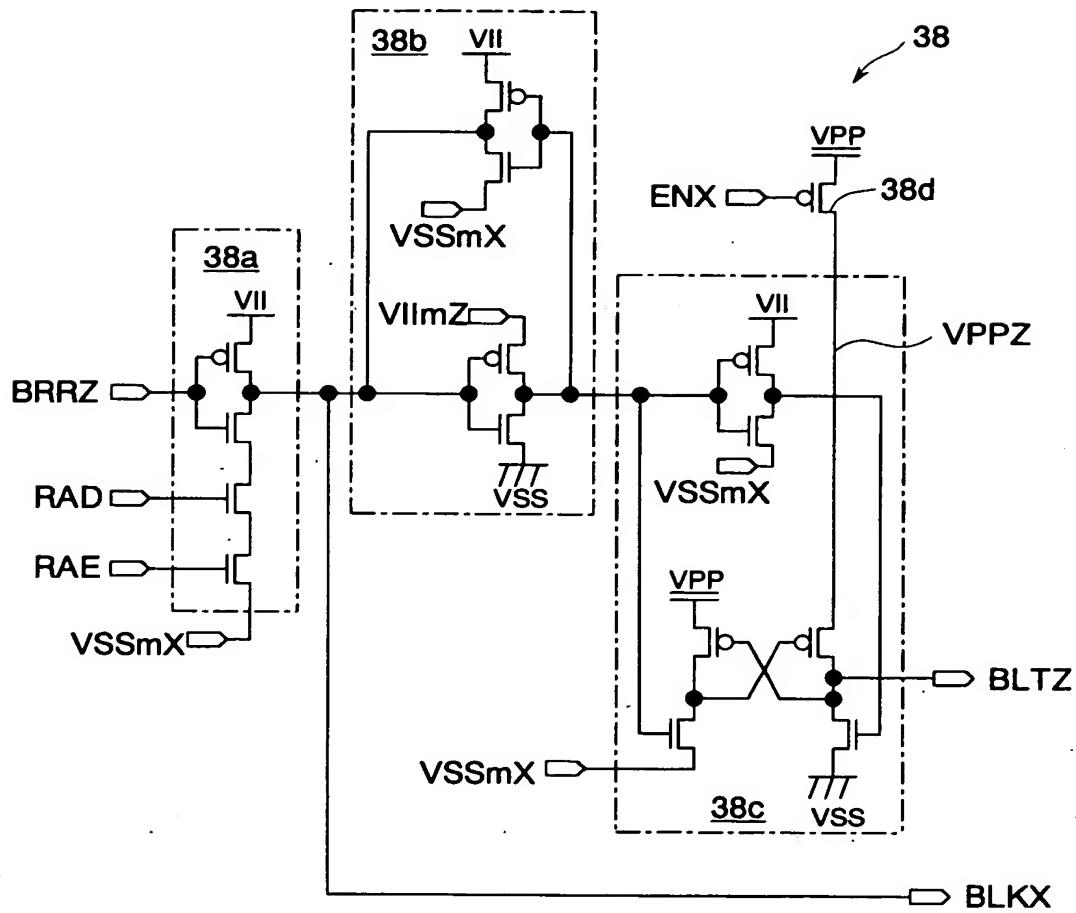
【図 7】

MWCL生成回路およびMRCL制御回路を示す回路図



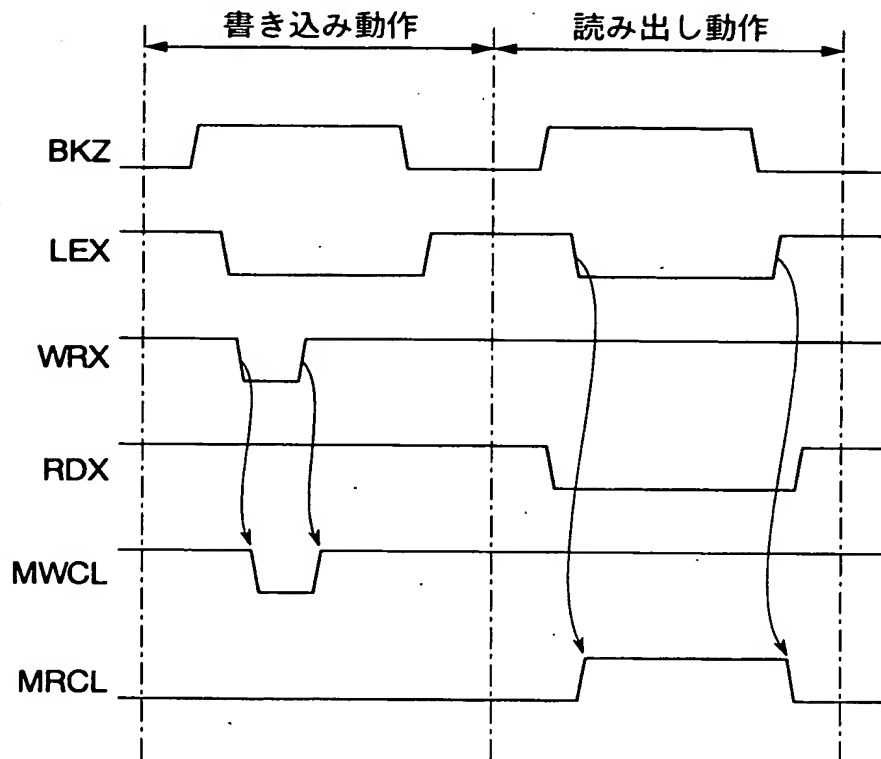
【図 8】

ブロック選択制御回路を示す回路図



【図 9】

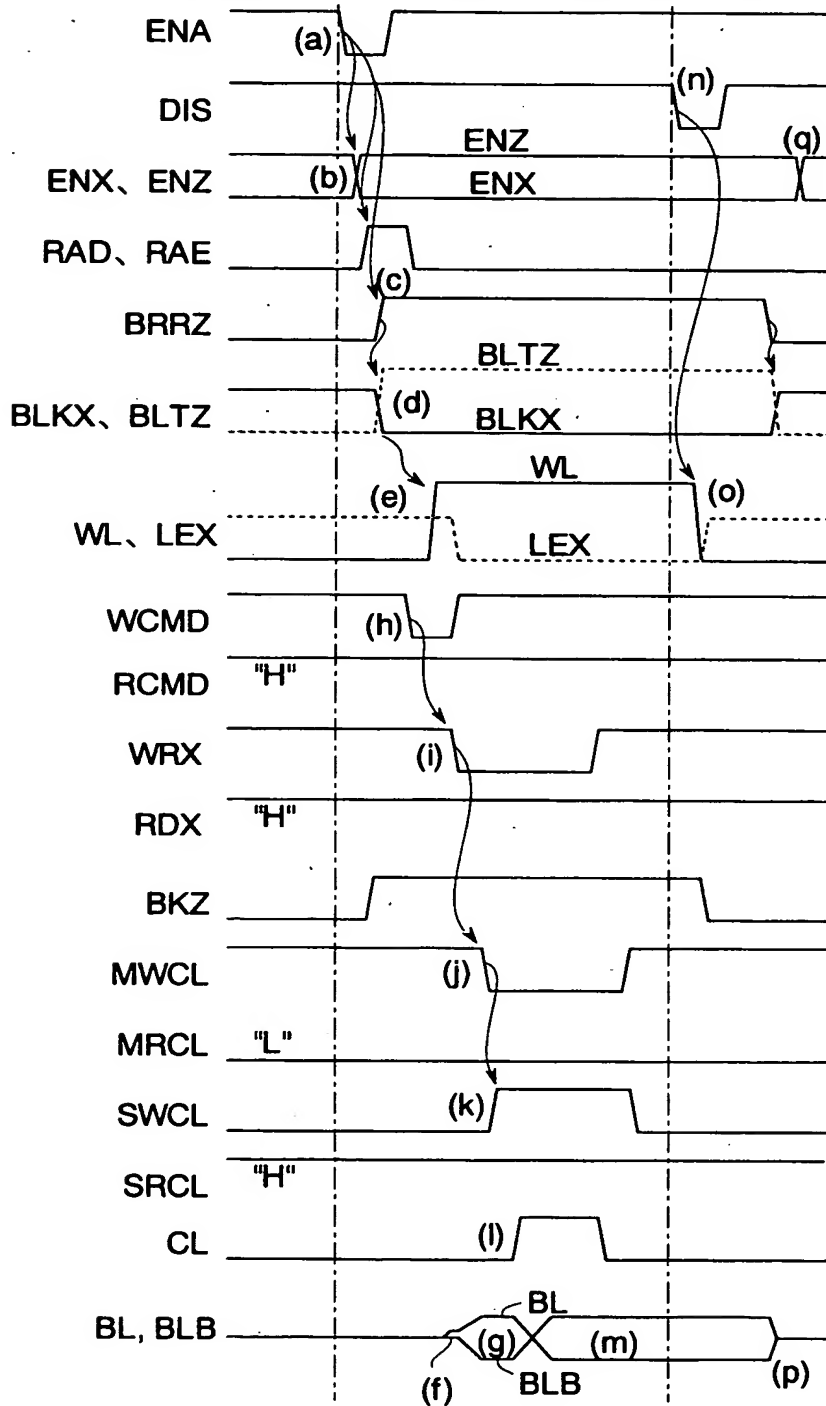
MWCL生成回路およびMRCL生成回路の動作を示すタイミング図





【図 1 0】

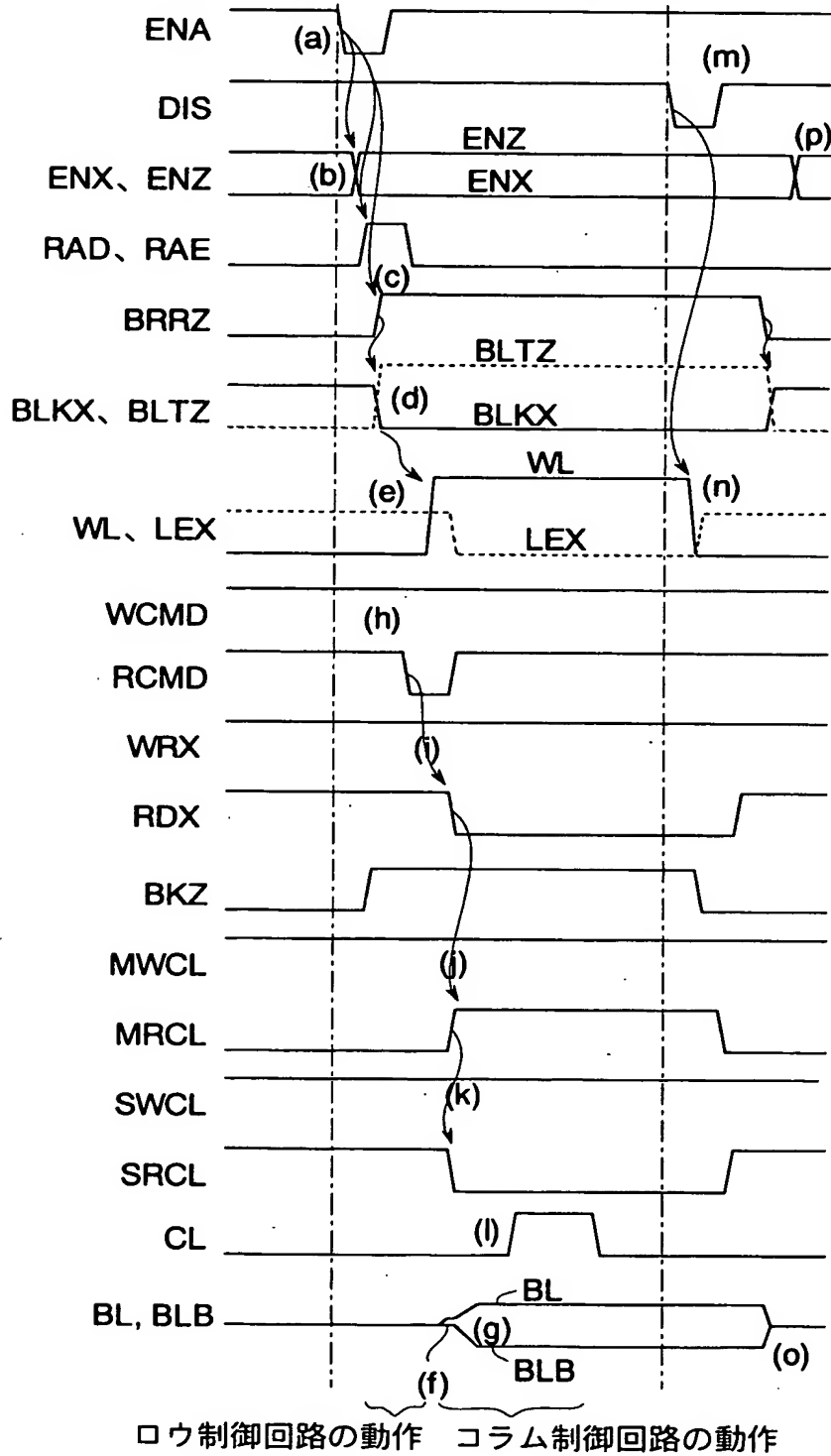
第 2 の実施形態における書き込み動作を示すタイミング図



ロウ制御回路の動作 コラム制御回路の動作

【図 1 1】

第 2 の実施形態における読み出し動作を示すタイミング図



【書類名】 要約書

【要約】

【課題】 半導体集積回路の回路の動作速度を低下させることなくスタンバイ電流を低減する。

【解決手段】 複数の回路ブロックの電源端子をそれぞれ電源線に接続する複数のスイッチングトランジスタを有している。回路ブロックのうち、異なるタイミングで動作する回路ブロックの電源端子は、内部電源線により互いに接続されている。電源制御回路は、内部電源線に接続された回路ブロックの少なくともいずれかの動作に対応して、内部電源線に接続されたスイッチングトランジスタを同時にオンさせる。スイッチングトランジスタを、同時に動作しない回路ブロックにより共有できるため、回路ブロックの動作速度を向上できる。スイッチングトランジスタのサイズの総和を小さくできるため、スタンバイ電流を低減できる。したがって、スタンバイ電流を増加させることなく、高速な半導体集積回路を構成できる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社